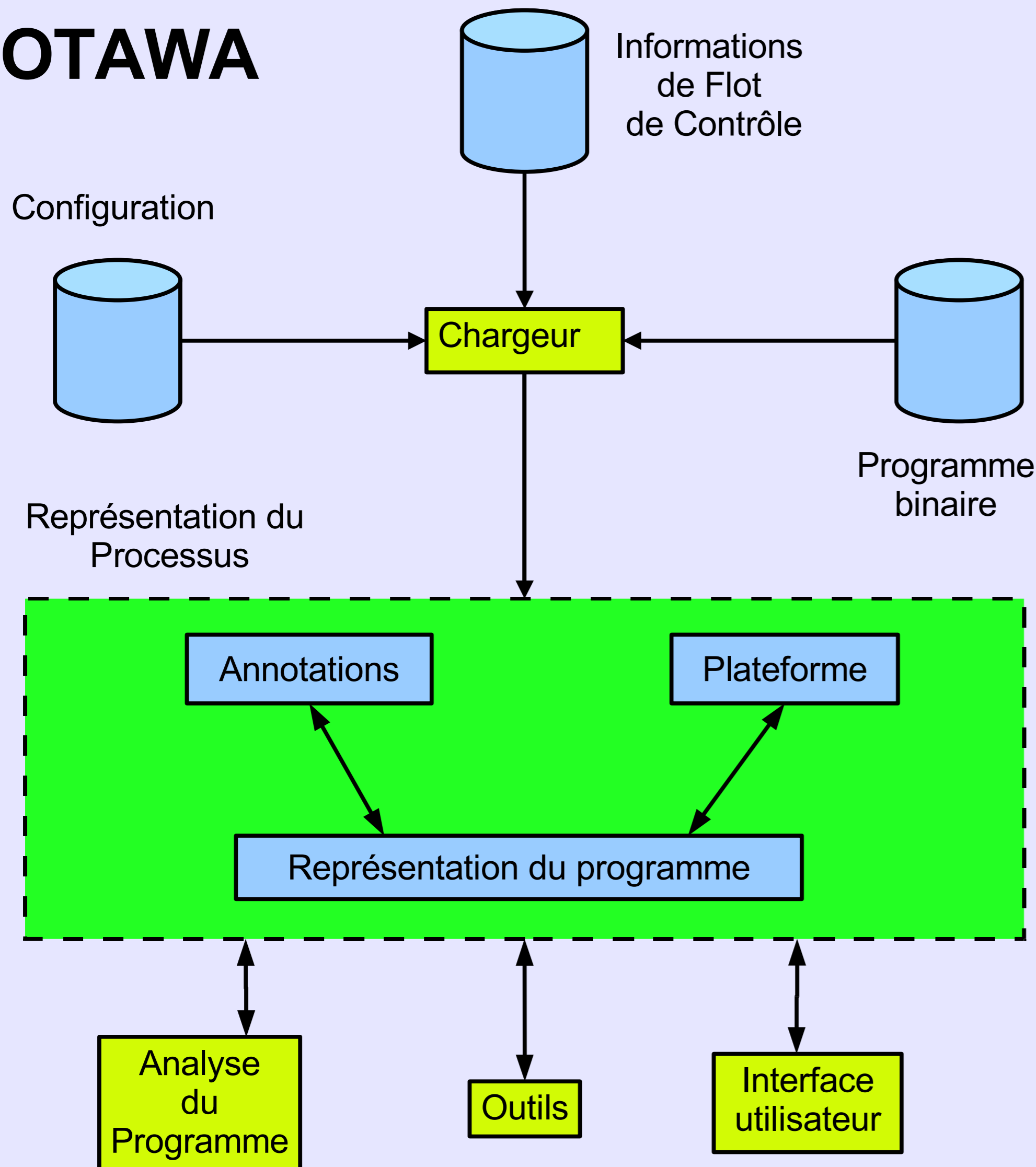


Calcul du WCET de tâches s'exécutant sur un processeur SMT

Cédric Landet – Équipe TRACES – Laboratoire IRIT (Toulouse)

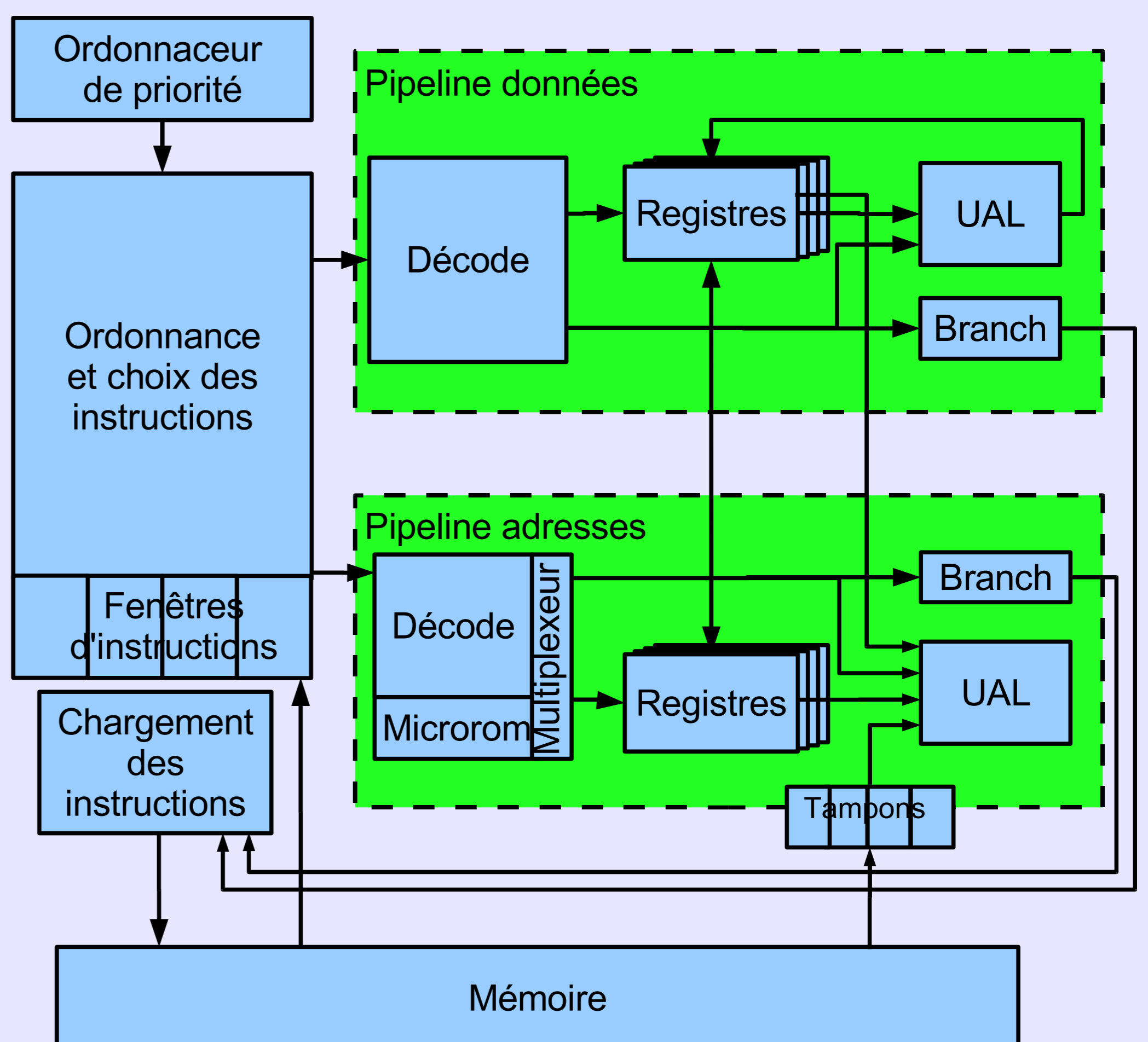
Objectif : modéliser le processeur CarCore pour analyser la prévisibilité des stratégies d'ordonnancement qu'il implémente

OTAWA



CARCORE

Processeur conçu par l'équipe du professeur T. Ungerer de l'université d'Augsbourg



EXEGRAPH

Expression de l'exécution d'un bloc de base dans le processeur CarCore à l'aide d'un graphe d'exécution
Extension d'une méthode de X. Li et T. Mitra de l'université de Singapour.

