

## Accélération matérielle sur FPGA d'un algorithme d'optimisation

Le Commissariat à l'Énergie Atomique et aux Énergies Alternatives (CEA) est un acteur majeur en matière de recherche, de développement et d'innovation. Cet organisme de recherche technologique intervient dans trois grands domaines : l'énergie, les technologies pour l'information et la santé, et la défense. Reconnu comme un expert dans ses domaines de compétences, le CEA est pleinement inséré dans l'espace européen de la recherche et exerce une présence croissante au niveau international. Situé en île de France sud (Saclay), le Laboratoire d'Intégration des Systèmes et des Technologies (LIST) a notamment pour mission de contribuer au transfert de technologies et de favoriser l'innovation dans le domaine des systèmes de calcul parallèle.

Les FPGA sont de plus en plus considérés comme une solution efficace pour l'accélération d'algorithmes logiciels gourmands en temps de calcul. Le principe est de déporter les sections les plus coûteuses du logiciel vers une architecture matérielle spécifique, implémentée sur le FPGA. De par les possibilités de parallélisme offertes, des facteurs d'accélération importants peuvent être obtenus.

Ce stage s'intéresse ici à l'accélération d'une heuristique de type recuit simulé pour un problème de conception de circuits électroniques. En raison des tailles de problèmes rencontrées, l'exécution logicielle de cet algorithme nécessite un très grand nombre d'itérations, et peut nécessiter un temps très important, pouvant atteindre plusieurs heures.

Le stage consistera en les étapes suivantes :

- Prise en main de l'algorithme considéré
- Implémentation matérielle du cœur de l'algorithme en VHDL (selon les possibilités, en partant de zéro ou en s'aidant de l'outil de synthèse de haut niveau de Xilinx).
- Intégration de l'architecture matérielle dans l'environnement du laboratoire pour une exécution sur une plate-forme Xilinx Zynq
- Test et évaluation (performance, consommation énergétique) sur le Zynq.

Le candidat recherché est en dernière année de master recherche ou diplôme ingénieur (BAC+5). La maîtrise du langage de programmation matérielle VHDL et celle du langage C sont indispensables. Des connaissances en optimisation combinatoire et en conception FPGA seront appréciées.

**Niveau demandé :** Bac+5  
**Durée :** 6 mois  
**Compétences :** C, VHDL, Conception FPGA  
**Pièces à fournir :** CV + lettre de motivation + classements  
**Contact :** François GALEA (francois.galea@cea.fr)

The logo for the Laboratoire d'Intégration des Systèmes et des Technologies (LIST), consisting of the letters 'list' in a bold, blue, lowercase font.

Laboratoire d'Intégration des Systèmes et des Technologies

Commissariat à l'Énergie Atomique et aux Énergies Alternatives  
Institut Carnot CEA LIST  
Centre de Saclay | Nano-Innov Bât 862 | PC 172  
91191 Gif sur Yvette Cedex

The logo for the Laboratoire d'Électronique et de Technologie de l'Information (leti), consisting of the letters 'leti' in a bold, blue, lowercase font.

Laboratoire d'Électronique et de Technologie de l'Information

Direction de la Recherche Technologique  
Département Architecture Conception et Logiciels Embarqués