

**Titre** : Optimisation du partitionnement de circuits pour des plateformes multi-FPGA.

Le Commissariat à l'Énergie Atomique et aux Énergies Alternatives (CEA) est un acteur majeur en matière de recherche, de développement et d'innovation. Cet organisme de recherche technologique intervient dans trois grands domaines : l'énergie, les technologies pour l'information et la santé et la défense. Reconnu comme un expert dans ses domaines de compétences, le CEA est pleinement inséré dans l'espace européen de la recherche et exerce une présence croissante au niveau international. Situé en île de France sud (Saclay), le Laboratoire d'Intégration des Systèmes et des Technologies (LIST) a notamment pour mission de contribuer au transfert de technologies et de favoriser l'innovation dans le domaine des systèmes de calcul parallèles.

Afin de réduire le temps de vérification lors de la conception de systèmes sur puce (SoC), le prototypage sur FPGA est couramment utilisé. En général, la taille du SoC à vérifier dépasse la capacité logique d'un FPGA. Afin de résoudre cette limitation, il est nécessaire de partitionner le SoC entre plusieurs FPGA puis de router les signaux logiques en utilisant les ressources matérielles des FPGA.

De nos jours, l'automatisation du partitionnement inter-FPGA présente un défi technique important. Le but est de découper efficacement le SoC en plusieurs parties en réduisant les communications entre elles et la longueur des chemins logiques traversant différentes parties. De plus, il faut tenir compte du nombre limité de ressources internes de chaque FPGA, essayer de réduire le nombre de signaux entrants et sortants de chaque partie, et diminuer la longueur des chemins traversant les FPGA. Ces objectifs sont très importants et ont une grande influence sur les performances du SoC que l'on veut prototyper.

Le candidat devra réaliser une modélisation mathématique détaillée du problème prenant en compte l'ensemble des contraintes matérielles de la plateforme multi-FPGA. Il devra également proposer un algorithme d'optimisation pour résoudre efficacement le problème du partitionnement. Cette méthode pourra être testée et validée sur un environnement de développement multi-FPGA et avec des instances réelles de circuits disponibles au sein du laboratoire. Une comparaison des résultats obtenus avec des heuristiques développées en interne conclura cette étude.

**Niveau demandé** : Master recherche/diplôme ingénieur

**Durée** : 6 mois

**Compétences** :

- Une solide formation en modélisation et optimisation mathématique ;
- Une bonne maîtrise du langage de programmation C ;
- Un haut degré d'autonomie et d'engagement dans le travail ;
- Une capacité à écouter, dialoguer, argumenter ;
- Une bonne maîtrise de l'expression écrite et orale en français/anglais.

**Pièces à fournir** : CV + lettre de motivation + classements

**Contacts** :

Nom :	Lilia Zaourar	François Galea
Téléphone :	01.69.08.00.95	01.69.08.17.09
Email :	<a href="mailto:lilia.zaourar@cea.fr">lilia.zaourar@cea.fr</a>	<a href="mailto:francois.galea@cea.fr">francois.galea@cea.fr</a>



Laboratoire d'Intégration des Systèmes et des Technologies



Laboratoire d'Électronique et de Technologie de l'Information