

Proposition de thèse CIFRE NXP Semiconducteur-LIRMM

***Techniques de rebouclage (loopback) pour blocs Tx/Rx en vue du test
purement numérique d'un système intégré complet***

Encadrement Universitaire : Serge Bernard, Michel Renovell, Mariane Comte et Florence Azaïs, LIRMM

Encadrement industriel : Philippe Cauvet, Christophe Kelma ou Philippe Soleil, NXP Semiconducteur France

Equipes d'accueil :

- Laboratoire commun ISyTest (Institute for System Testing) entre le Laboratoire d'Informatique de Robotique et de Microélectronique de Montpellier (LIRMM, Département Microélectronique, équipe de Test de Circuits et Systèmes Intégrés) et NXP Semiconductors Caen (Programme SiP)

Lieu d'accueil : 25% au LIRMM Montpellier, 75% chez NXP Caen

Résumé

L'émergence de nouvelles technologies d'intégration favorise le développement de solutions électroniques complètes dans un boîtier unique, appelées SiP (System-in-Package). Ces systèmes sont constitués de blocs de différentes technologies, qui permettent de véhiculer des signaux de toute nature : radio-fréquences (plusieurs GHz), mixtes, numériques, numériques à haut débit (supérieures à 1Gbit/s). De même les fonctions utilisées sont nombreuses et variées : émission-réception, conversion, mémoire, processing,...

La complexité et l'hétérogénéité de tels systèmes vont aussi impacter la problématique de leur test. En effet, pour des raisons techniques et économiques, les équipements de test automatique (ATE en anglais) sont traditionnellement optimisés selon le domaine adressé. Il existe des testeurs RF, de mémoires, numériques, et mixtes. Chaque type de testeur comporte des ressources différentes selon le type de circuits à tester, il est donc aisé d'imaginer qu'un testeur capable de tester toutes les fonctions possibles va atteindre des coûts prohibitifs, notamment à cause de la multiplication des instruments analogiques, et de l'augmentation du débit des bus numériques [1].

Pour les circuits numériques, des circuiteries spécifiques sont ajoutées aux éléments de base afin de rendre le test possible avec des niveaux de qualité et de coûts satisfaisants. On parle ainsi de DfT (Design-for-Test) et de BIST (Built-In-Self-Test). Malgré les recherches entreprises, des techniques similaires sont difficilement applicables aux blocs analogiques et RF.

Les systèmes intégrés comportent généralement une partie conversion des signaux du domaine numérique vers le domaine analogique ou RF (l'étage Tx) et une partie de

conversion du domaine analogique ou RF (l'étage Rx) vers le domaine numérique comme illustré figure 1.

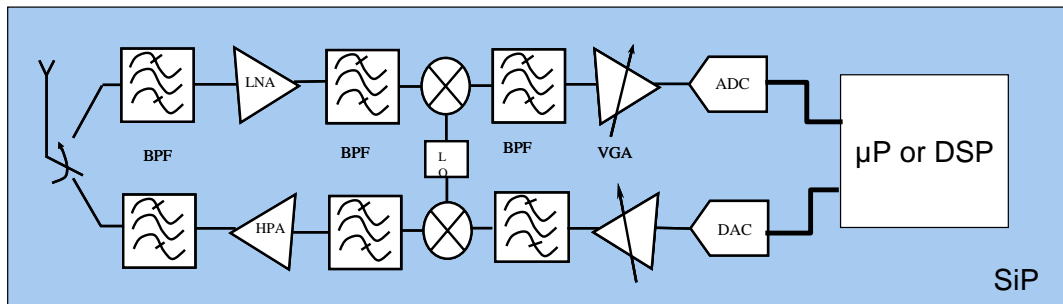


Figure 1. Architecture classique d'un SiP avec Transceiver.

Une approche intéressante consiste à reboucler ces deux parties l'une sur l'autre pour n'avoir qu'un chemin de test activant tous les blocs du système. Dans ce contexte on peut imaginer n'utiliser que les entrées/sorties numériques du système durant la phase de test. Cette solution permet ainsi d'envisager l'utilisation d'un testeur numérique bon marché et de toutes les techniques de DFT et de BIST disponibles pour les circuits numériques.

Les deux principaux défis à relever consistent :

- à concevoir le circuit de rebouclage en fonction des niveaux, des fréquences et de la résolution des signaux d'émission et de réception ...
- à discriminer précisément les erreurs de chaque bloc du chemin de test (numérique-analogique-RF-analogique-numérique)

La thèse proposée a pour objectif d'étudier les possibilités de rebouclage et de proposer des techniques de traitement du signal permettant de discriminer les erreurs provenant de chaque bloc. Cette thèse s'appuiera sur les résultats d'une thèse précédente qui a permis de mettre en place une technique de rebouclage au niveau des Convertisseurs A/N et N/A d'un système [2]. L'objectif de cette thèse consiste à proposer des solutions similaires dans la partie RF en utilisant les convertisseurs du circuit comme appareil de mesure.

Références :

- [1] 'International Technology Roadmap for Semiconductor, Test and Test Equipment', 2003 Edition, <http://public.itrs.net/>.
- [2] "A novel DFT technique to test a complete set of ADC's and DAC's embedded in a complex SiP", V. Kerzérho, P. Cauvet, S. Bernard, F. Azais, M. Comte and M. Renovell, *IEEE Design & Test of Computers*, vol. 23, n°3, pp. 237-243, May/June 2006

Contacts : bernard@lirmm.fr
philippe.cauvet@nxp.com