

Incidence des défauts résistifs dans les circuits de précharge des Mémoires SRAM

Luigi Dilillo Patrick Girard Serge Pravossoudovitch Arnaud Virazel

Magali Bastian Hage-Hassan

Laboratoire d'Informatique, de Robotique et de Microélectronique de Montpellier
Université de Montpellier II / CNRS
161, rue Ada – 34392 Montpellier Cedex 5, France
Email: <lastname>@lirmm.fr URL: <http://www.lirmm.fr/~w3mic>

Infineon Technologies France
2600, Route des Crêtes – 06560
Sophia-Antipolis, France
Email:
magali.bastian@infineon.com
URL: <http://www.infineon.com>

Résumé

Cet article présente une analyse des fautes à caractère dynamique affectant les circuits de précharge des mémoires SRAM. Ces circuits commandent la précharge (en général à VDD) de tous les couples de «bit lines» du plan mémoire et l'équilibrage de leurs potentiels. Ce mécanisme de précharge intervient lors de l'opération de lecture. Dans cette étude, nous nous sommes plus particulièrement intéressés aux défauts de type circuit ouvert résistif affectant le circuit de précharge. Nous avons réalisé une analyse exhaustive de ces défauts en fonction de leur localisation. Chaque défaut étudié agit sur le circuit de précharge en perturbant les opérations de lecture. Dans tous les cas, ce comportement fautif peut être modélisé par les modèles de fautes Un-Restored Write Fault (URWF) et Un-Restored Read Fault (URRF).

1. Introduction

Les besoins croissants en performance, capacité de traitement de données, faible consommation d'énergie et coût de production, entraînent l'émergence de nouveaux concepts d'architecture tels que les systèmes sur puce ou SoC pour "System-on-Chip". Ainsi, un grand nombre de fonctionnalités peuvent être adressées sur un SoC par rapport à un système sur carte, plus complexe et plus coûteux. Afin de satisfaire les besoins liés à la conception d'un SoC, les ressources mémoire nécessaires sont en augmentation croissante. Ceci est confirmé par la "SIA roadmap" qui prévoit une occupation mémoire proche de 94% de la surface totale du SoC d'ici les dix prochaines années [1]. Compte tenu de l'importance des circuits mémoire, il est donc primordial d'apporter des solutions de test efficaces.

En raison de leur faible complexité (linéaire), les algorithmes de type March sont parmi les plus utilisés pour détecter la présence de pannes dans une mémoire. Cependant, ces algorithmes ciblent essentiellement les

fautes dites statiques c'est-à-dire les fautes qui ont besoin d'une seule opération pour être sensibilisées.

Les procédés de conception actuels de mémoires permettent d'obtenir une densité d'intégration importante et une amélioration des performances, mais au détriment de l'occurrence de nouvelles défaillances physiques. Les fautes résultantes de ces défaillances sont appelées fautes dynamiques [2]. En référence à la classification présentée dans [3], une faute est dite dynamique quand plus d'une opération appliquée séquentiellement est nécessaire pour la sensibiliser. Parmi les fautes dynamiques, nous concentrons notre étude sur celles dont l'origine physique est un circuit ouvert résistif dans le circuit de précharge des «bit lines» dans les SRAMs.

Nous avons placé des défauts de circuit ouvert résistif sur des nœuds particuliers du circuit de précharge. Nous avons ensuite effectué des simulations électriques afin d'évaluer leurs effets. Puis nous avons analysé l'influence de chaque défaut sur le fonctionnement de la mémoire. Nous démontrons ainsi que tous les défauts impliquent un certain déséquilibre du niveau de tension des «bit lines» (BL et BLB) reliées au circuit défectueux de précharge. Ce déséquilibre affecte les opérations de lecture (*read*). Ces comportements fautifs peuvent être représentés par les modèles de faute URWF (Un-Restored Write Fault) et le URRF (Un-Restored Read Fault).

Le reste de cet article est organisé comme suit. La section 2 précise la structure et le fonctionnement d'un circuit de précharge. La section 3 présente une analyse des défauts de circuit ouvert résistif dans ces circuits de précharge. Les conclusions sont discutées en section 4.

2. Le circuit de précharge

Dans cette section nous décrivons les expériences effectuées pour la caractérisation dans les circuits de précharge des mémoires SRAM.

Dans une mémoire SRAM, un circuit de précharge est associé à chaque colonne du plan mémoire. Ce circuit de

précharge agit sur deux lignes (BL et BLB) appelées « bit lines »

La fonction de ce circuit est de précharger à VDD (pull-up) les deux « bit lines ». Lorsque la colonne de cellules est sélectionnée, la précharge est désactivée juste avant l'opération de lecture. En fait, pour cette opération, les deux lignes BL et BLB reliées à la cellule à lire, doivent être chargées à VDD et parfaitement équilibrées. Un circuit typique de précharge utilisé par la société Infineon est présenté sur la Figure 1.

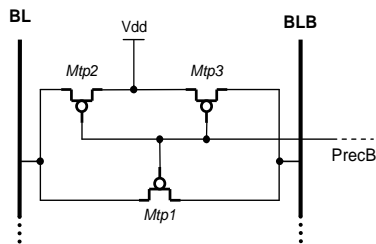


Figure 1: Circuit de précharge

Ce circuit de précharge est constitué de trois transistors de type PMOS commandés par le signal PrecB. Les transistors Mtp2 et Mtp3 relient les « bit lines » à la source VDD ("pull-up"). Le transistor Mtp1 relie les deux « bit lines » entre elles pour l'équilibrage des potentiels. Quand une des deux « bit lines » est déjà à VDD, Mtp1 facilite le "pull-up" de l'autre.

Comme mentionné précédemment, la structure de la mémoire comporte un circuit de précharge pour chaque couple de « bit lines ». La Figure 2 montre une partie d'un plan mémoire SRAM où sont représentés ces circuits de précharge. Dans le fonctionnement normal de la mémoire, le circuit de précharge est pour la majeure partie du temps activé. Son rôle est de fixer le niveau de tension de chaque couple de « bit lines » à une certaine valeur. Cette valeur est VDD pour la plupart des mémoires comme pour les mémoires d'Infineon 0.13µm.

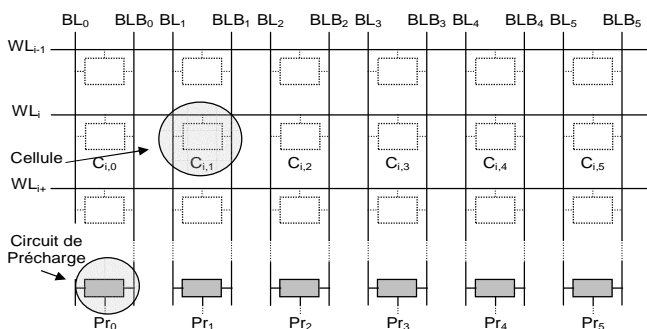


Figure 2: Une partie du plan des cellules SRAM avec les circuits de précharge

Le fait que chaque couple de « bit lines » (BL et BLB) soit exactement au niveau VDD est obligatoire si l'on veut obtenir une opération de lecture correcte. En fait,

quand il y a une lecture sur une certaine cellule, le circuit de précharge est arrêté sur les deux « bit lines » appartenant à la cellule même. À ce moment, ces « bit lines » sont flottantes, chargées à VDD, donc la lecture peut commencer. L'opération de lecture est déclenchée quand la ligne de mot (word line) est validée par le signal WL_i, qui permet la connexion de la cellule avec ses deux « bit lines ». Ainsi, un nœud de la cellule est à '1', VDD, et l'autre est à '0', 0V. Pendant l'opération de lecture, une des deux « bit lines » est partiellement déchargée jusqu'à atteindre le niveau de tension VDD-ΔBL. Un amplificateur différentiel détecte cette différence de niveau de tension entre les deux « bit lines » et donne la valeur de sortie. La valeur lue est le '0' quand BL est partiellement déchargée (VDD-ΔBL) et BLB reste à VDD; '1' est obtenue dans le cas complémentaire. En conséquence, il est crucial qu'avant toutes les opérations de lecture, les deux « bit lines » reliées à la cellule soient complètement chargées à VDD et que les niveaux de tension des deux « bit lines » soient parfaitement équilibrés.

3. Etude des défaillances dans le circuit de précharge

Dans cette section nous analysons les effets induits par les défauts de circuit ouvert résistif sur le fonctionnement normal du circuit de précharge. L'occurrence des défauts multiples étant improbable nous nous limitons à la présence d'un seul défaut pour chaque analyse. Comme représenté sur la Figure 3, cinq défauts (Df1 à Df5) ont été placés sur différents nœuds du circuit analysé.

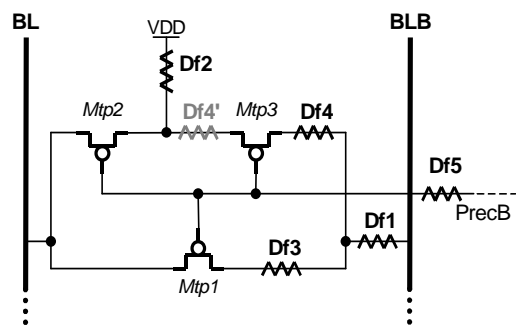


Figure 3: Circuit de précharge avec défauts de circuit ouvert résistif

En raison de la symétrie de la structure, ces cinq défauts permettent une étude exhaustive. Les défauts Df2 et Df5 sont symétriques dans la mesure ou ils affectent le chargement des deux « bit lines ». Les défauts asymétriques considérés (Df1, Df3 et Df4) sont ceux qui affectent la « bit line » BLB. Le défaut Df4' n'est pas considéré dans les simulations parce qu'il produit des effets très proches de ceux provoqués par le défaut Df4. En fait, tous les deux sont placés sur le même chemin de courant qui alimente la « bit line » BLB.

Le circuit de précharge des mémoires SRAM d'Infineon en technologie 0.13 μ m a été simulé en présence de chacun de ces défauts. Les simulations électriques ont été effectuées avec le simulateur de type SPICE interne à Infineon. Les conditions choisies pour les simulations sont identiques pour chaque défaut. Les résultats obtenus sont récapitulés dans le Tableau 1. La première colonne énumère les défauts, la seconde présente les modèles relatifs aux défauts et dans la troisième sont indiquées les valeurs minimales de résistance qui induisent un comportement défectueux.

Défaut	Modèles de défaut	Résistance minimale
Df1	URWF/URRF	2 k Ω / 4k Ω
Df2	Aucun défaut	-
Df3	Aucun défaut	-
Df4	Aucun défaut	-
Df5	URWF/URRF	35 k Ω / 250 k Ω

Table 1: Résultats des simulations

La première analyse du Tableau 1 montre que les circuits de précharge sont sensibles seulement aux défauts Df1 et Df5. Le défaut Df2 implique un "pull-up" incorrect des «bit lines», mais ne perturbe pas l'opération de lecture, parce que, même si le niveau VDD n'est pas atteint il y a un bon équilibrage des potentiels. En présence de Df3 et Df4, l'équilibrage des «bit lines» n'est pas correct ($\Delta BL \neq 0$) à la fin de l'opération de précharge. Cependant, ce déséquilibre n'est pas assez grand pour impliquer un comportement fautif de la mémoire. Les deux modèles de faute, relatifs aux défauts Df1 et Df5, sont URWF et URRF. Leurs définitions sont les suivantes:

Un-Restored Read Fault (URRF) : le "pull-up" des deux «bit lines» n'est pas complet, après une opération de lecture (*read*). En conséquence, l'opération de lecture suivante d'une valeur logique opposée dans une cellule de la même colonne n'est pas correctement effectuée.

Un-Restored Write Fault (URWF) : le "pull-up" des deux «bit lines» n'est pas complet, après une opération d'écriture (*write*). En conséquence, l'opération de lecture suivante d'une valeur logique opposée dans une cellule de la même colonne n'est pas correctement effectuée.

Ces deux modèles de fautes peuvent être classifiés comme **dynamiques**. En effet, pour leur sensibilisation sont nécessaires deux opérations consécutives ($wDr\bar{D}$, $rDr\bar{D}$, où D est '0' ou '1' et \bar{D} son complémentaire). D'ailleurs les adresses des deux cellules intéressées sont particulières, elles font référence au même couple de «bit lines». La phase d'observation coïncide avec la deuxième opération de la phase de sensibilisation.

À titre d'exemple, nous rapportons sur la Figure 4 les chronogrammes obtenus sur le circuit de précharge affecté par le défaut Df1 (même valeur résistive) avec les séquences de détection de l'URRF (r0 sur cellule Cx suivi de r1 sur cellule Cy de la même colonne) et de l'URWF (w0 sur cellule Cx suivi de r1 sur cellule Cy sur la même colonne).

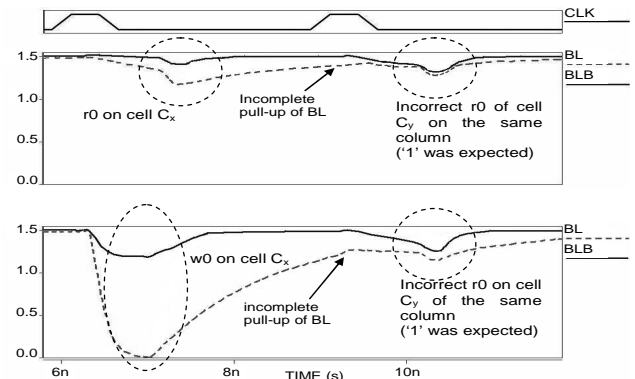


Figure 4 : Simulation avec le défaut Df1 dans le circuit de précharge : URRF et URWF

Dans le premier cas, le modèle de faute est l'URRF puisque la première opération est r0. Dans l'autre cas, la première opération étant w0, le modèle de faute est l'URWF. Dans les deux cas, nous pouvons observer l'insuffisance du "pull-up" du circuit de précharge qui induit une opération de lecture incorrecte : un '1' est attendu mais un '0' est effectivement lu.

4. Conclusion

Dans ce travail nous avons analysé et caractérisé les effets de défauts de circuit ouvert résistif dans les circuits de précharge des mémoires SRAM. Nous avons constaté que tous les défauts considérés affectent l'action du "pull-up" d'au moins une des deux «bit lines» reliées au circuit de précharge. La conséquence de cette défaillance peut impliquer un niveau de tension non équilibré des deux «bit lines». Ce déséquilibre perturbe l'opération de lecture des cellules reliées aux «bit lines» affectées. Les modèles de défaut représentatifs de ce comportement défectueux sont les URRFs et les URWFs, qui n'ont été observés seulement pour les défauts Df1 et Df5.

References

- [1] Semiconductor Industry Association (SIA), "International Technology Roadmap for Semiconductors (ITRS)", 2003 Edition.
- [2] Dilillo L., Girard P., Pravossoudovitch S., Virazel A., Borri S., Hage-Hassan "Analysis of Dynamic Faults in Embedded-SRAMs: Implications for Memory Test" à paraître dans JETTA : Journal of Electronic Testing: Theory and Applications, Kluwer Academic Publishers
- [3] Z. Al-Ars and A.J. van de Goor, "Static and Dynamic Behavior of Memory Cell Array Opens and Shorts in Embedded DRAMs", Proc. Design, Automation and Test in Europe, 2001, pp. 496-503.