

CONCEPTION ET TEST DE CIs

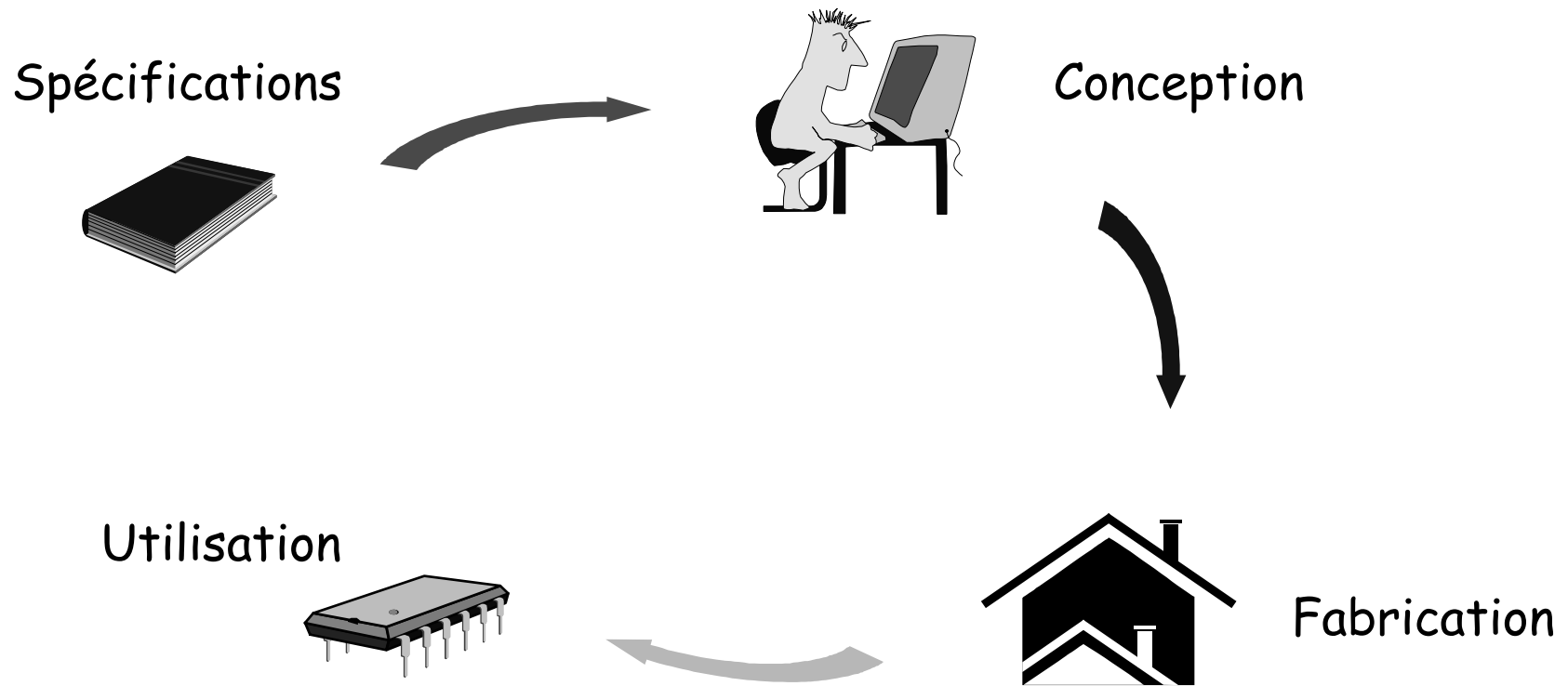
1. INTRODUCTION ET RAPPELS

1.1 Introduction à la conception de CIs

1.2 Rappels sur les transistors MOS et la technologie CMOS

1.3 Rappels sur les éléments d'architecture des CIs

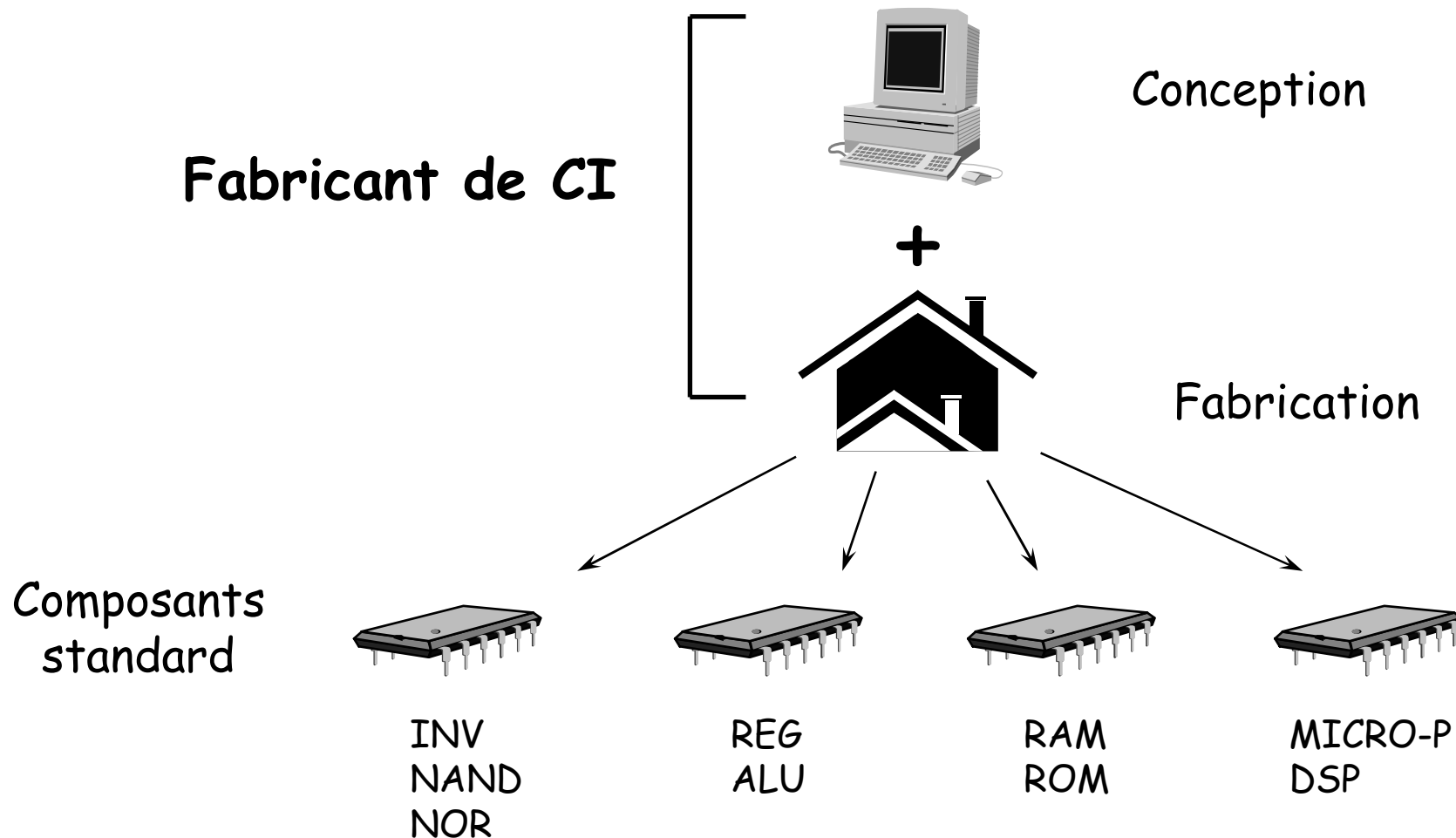
1. INTRODUCTION - Conception de CIs



Analogique / Numérique / Mixte
CMOS / TTL / BiCMOS / AsGa

1. INTRODUCTION - Conception de CIs

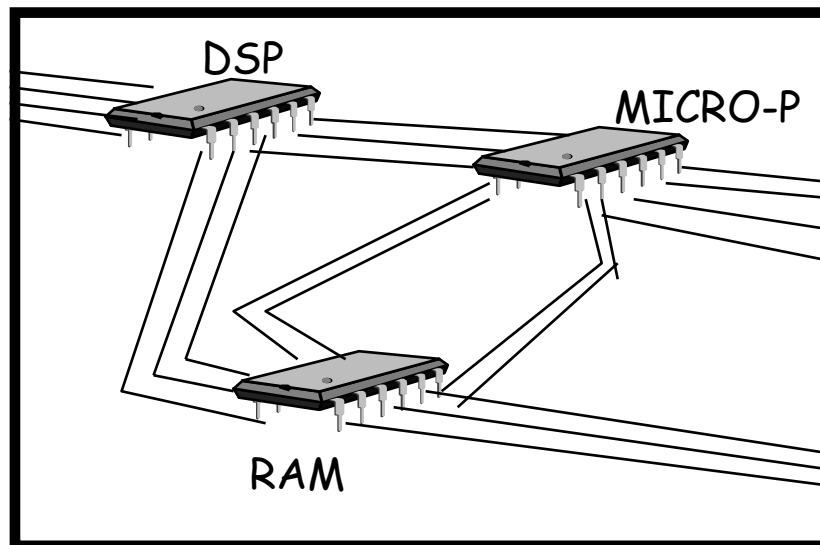
Autrefois, une seule option ..



1. INTRODUCTION - Conception de CIs

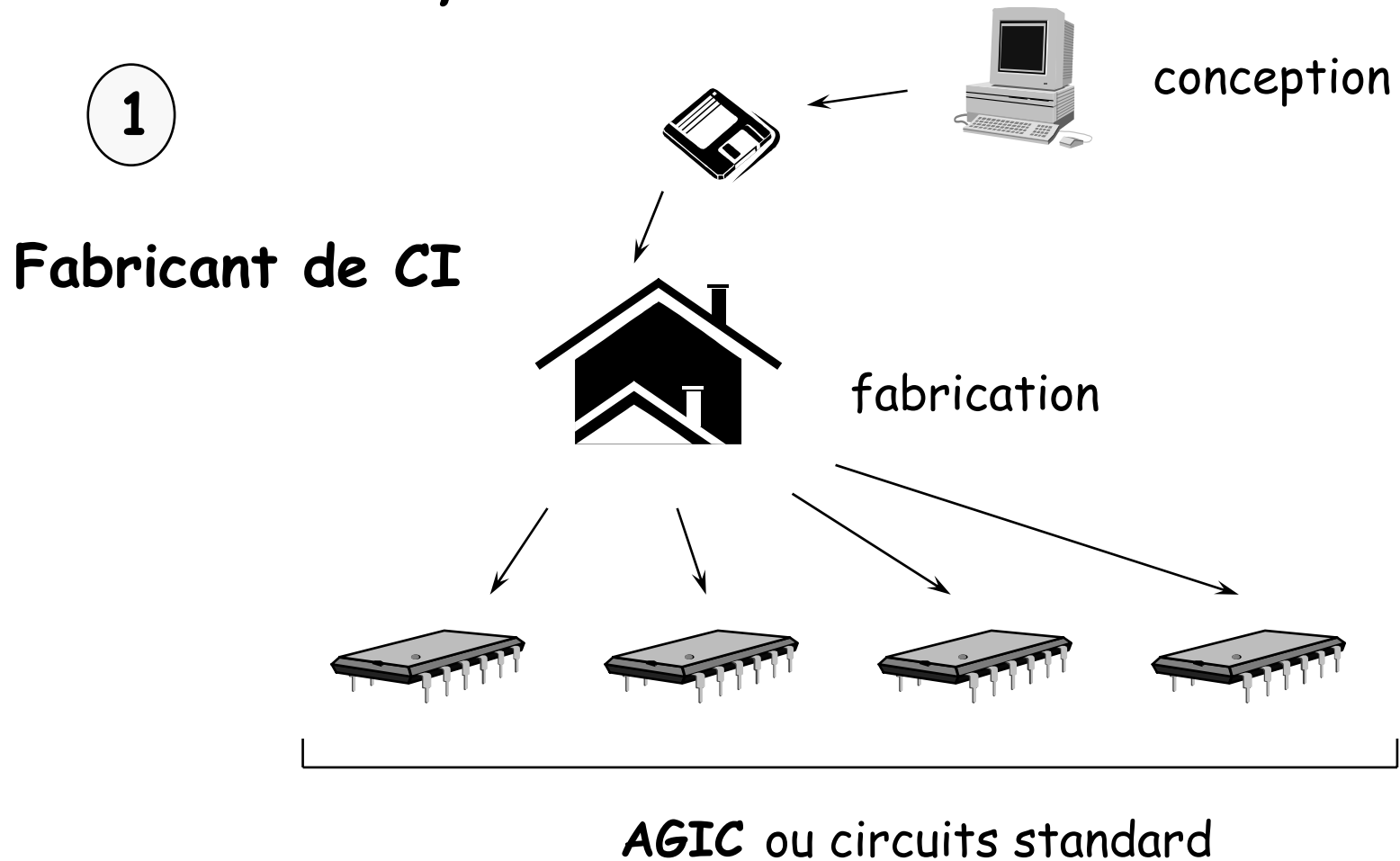
Utilisateur de CI

Carte



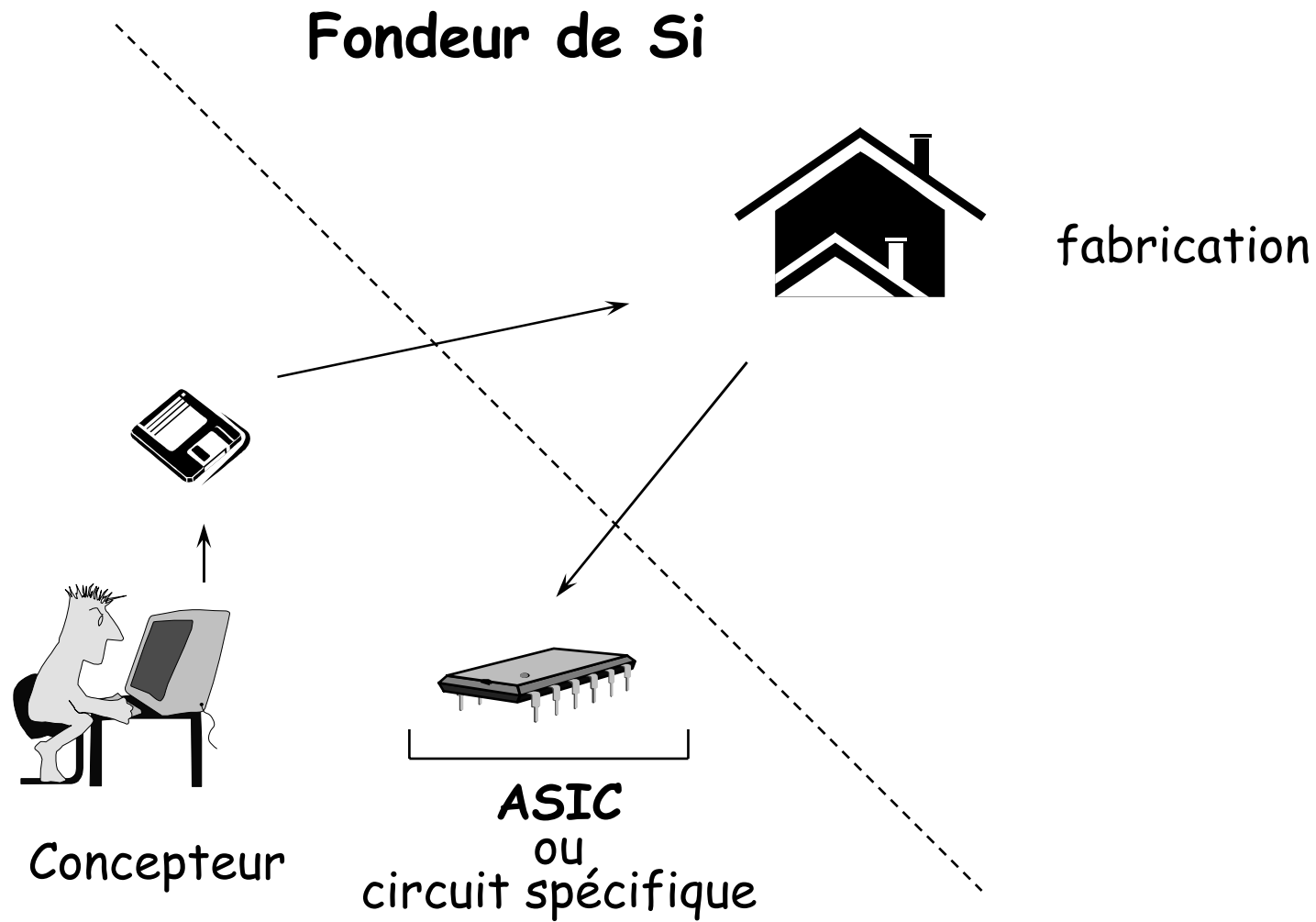
1. INTRODUCTION - Conception de CIs

Aujourd'hui, deux options ..



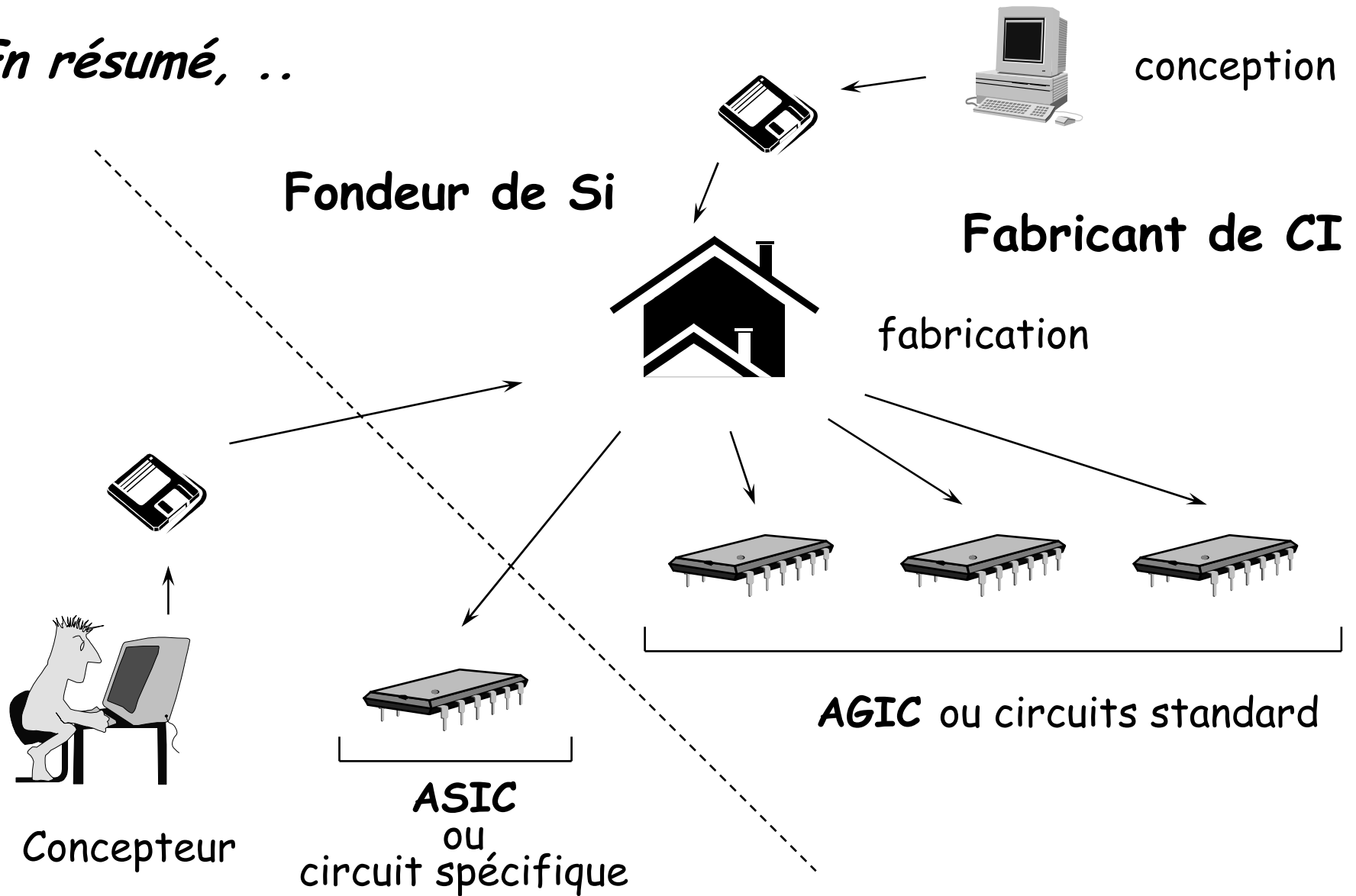
1. INTRODUCTION - Conception de CIs

2



1. INTRODUCTION - Conception de CIs

En résumé, ..



1. INTRODUCTION - Conception de CIs

ASIC



pourquoi ?



PERFORMANCES

- vitesse
- consommation
- surface



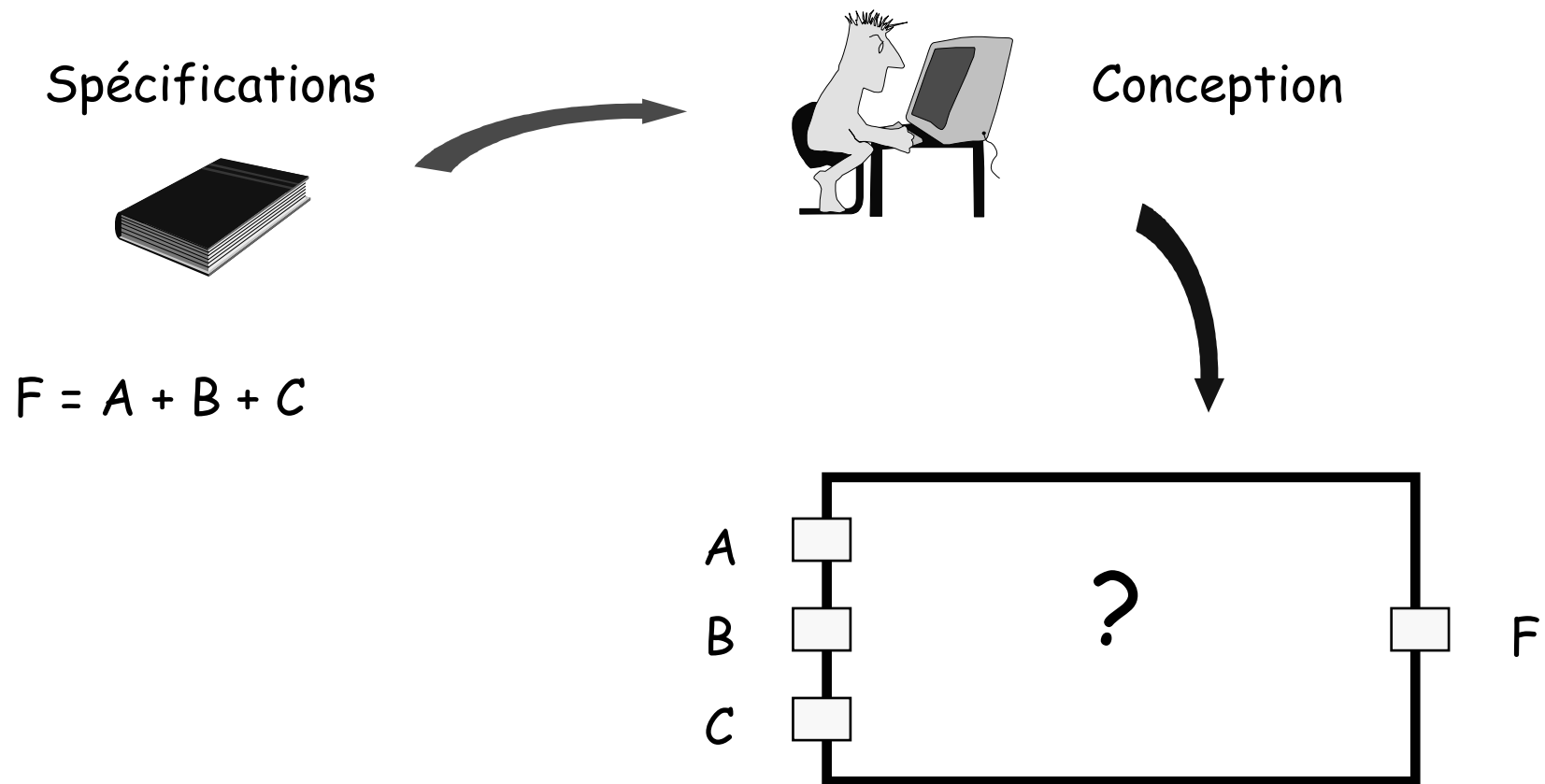
mais ...



COUT !!!

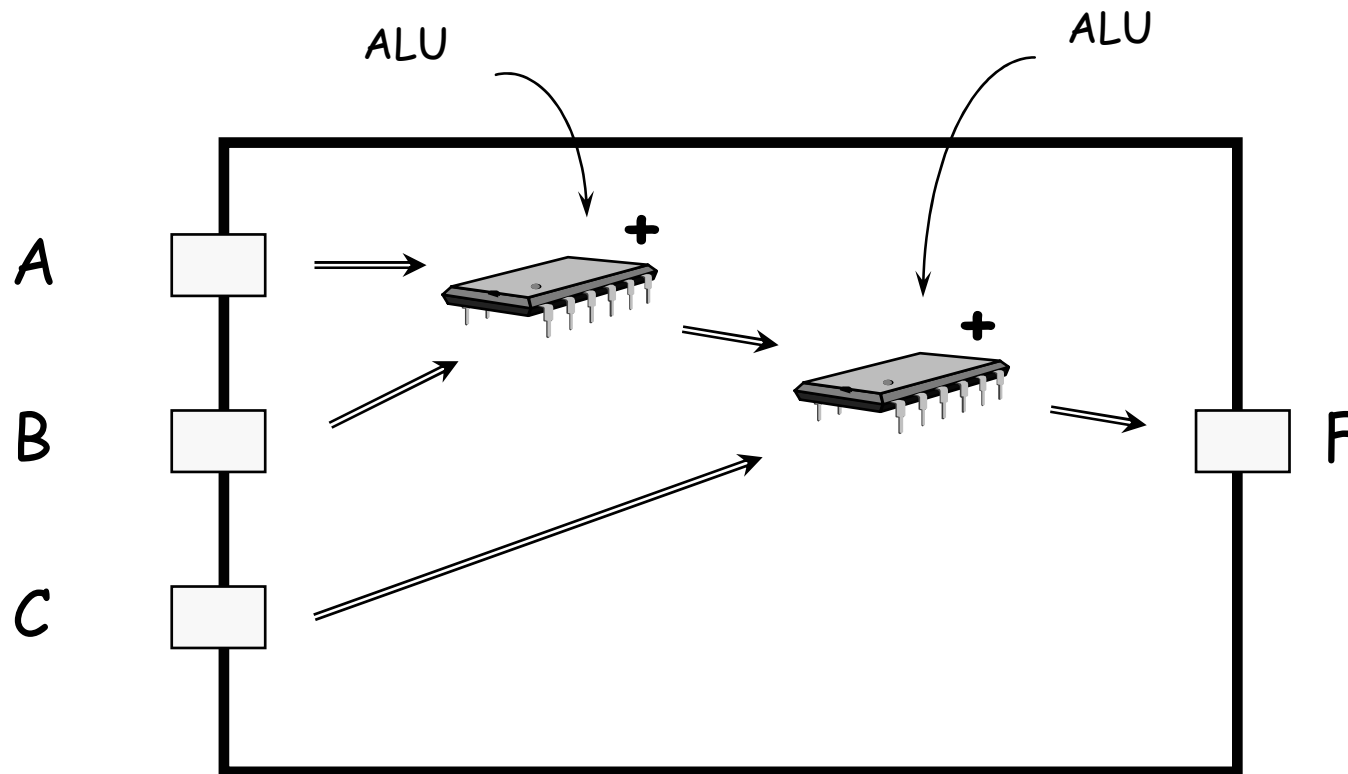
1. INTRODUCTION - Conception de CIs

Exemple



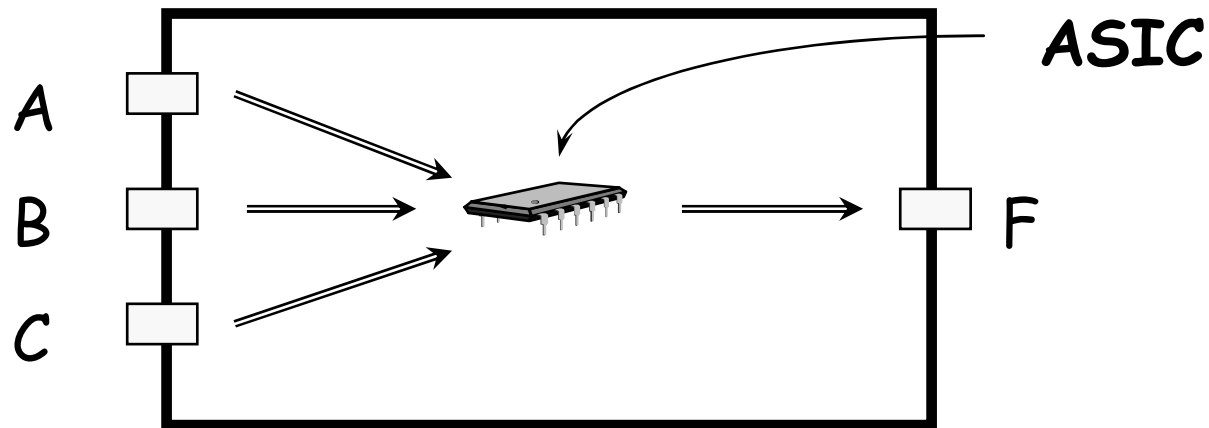
1. INTRODUCTION - Conception de CIs

- en utilisant des circuits standard



1. INTRODUCTION - Conception de CIs

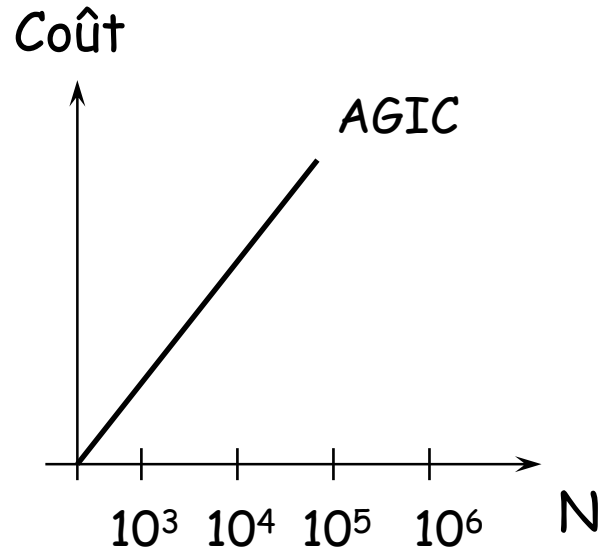
- en utilisant un ASIC



Avantages :

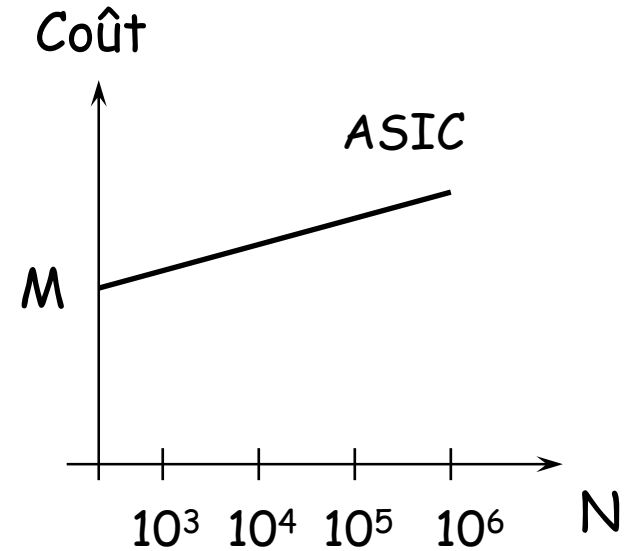
- remplacement de k circuits par un circuit unique (gain en surface)
- remplacement de k circuits par un autre plus performant

1. INTRODUCTION - Conception de CIs

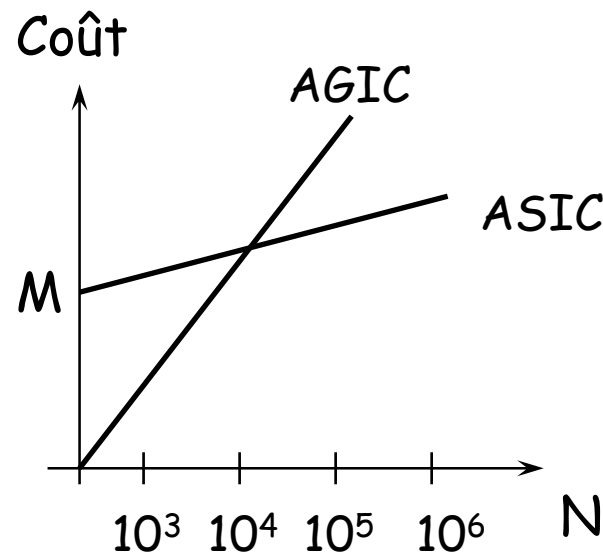


$$C_{AGIC} = C_u * N$$

COUT

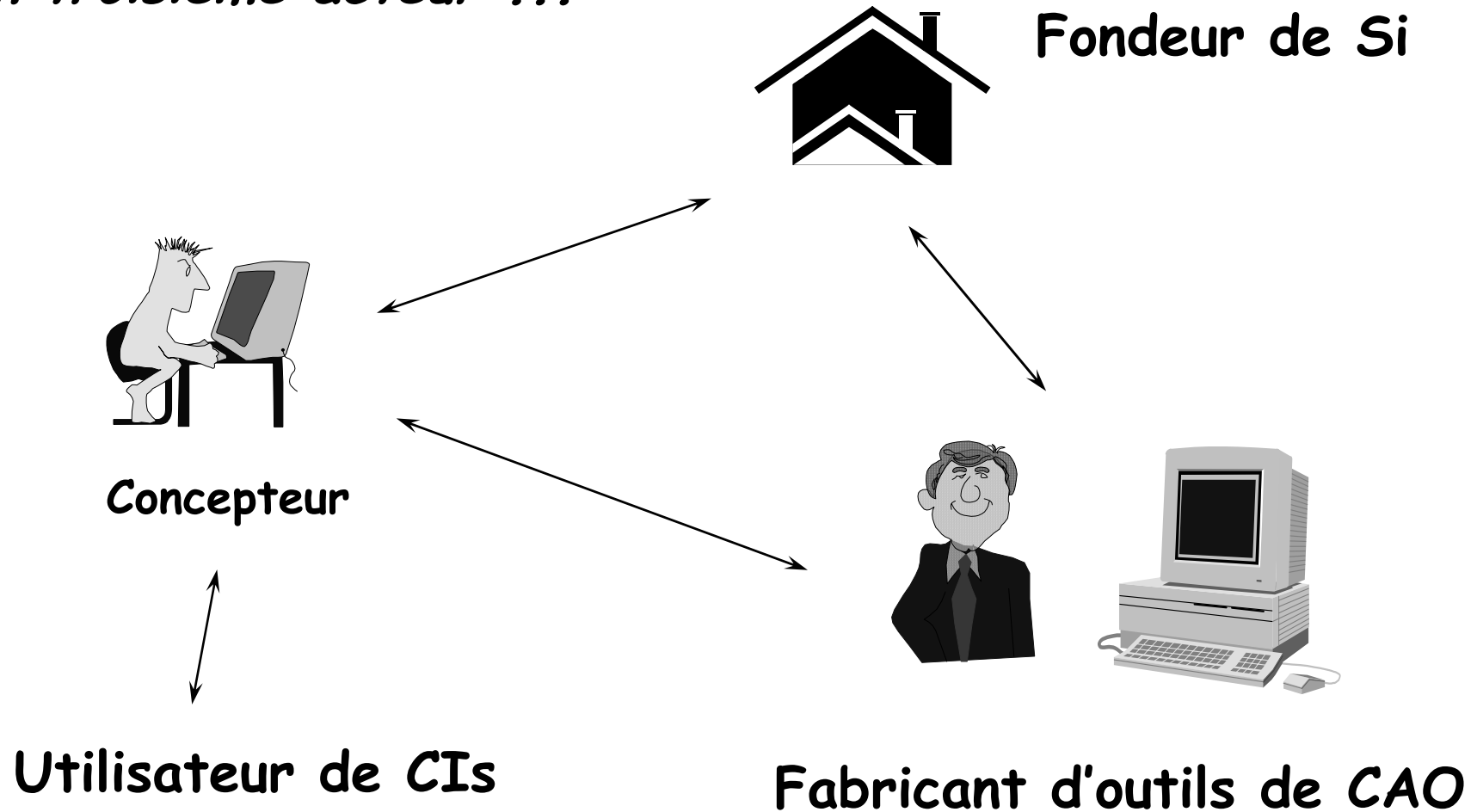


$$C_{ASIC} = C'_u * N + M$$



1. INTRODUCTION - Conception de CIs

Un troisième acteur ...



1. INTRODUCTION - Conception de CIs

Principe

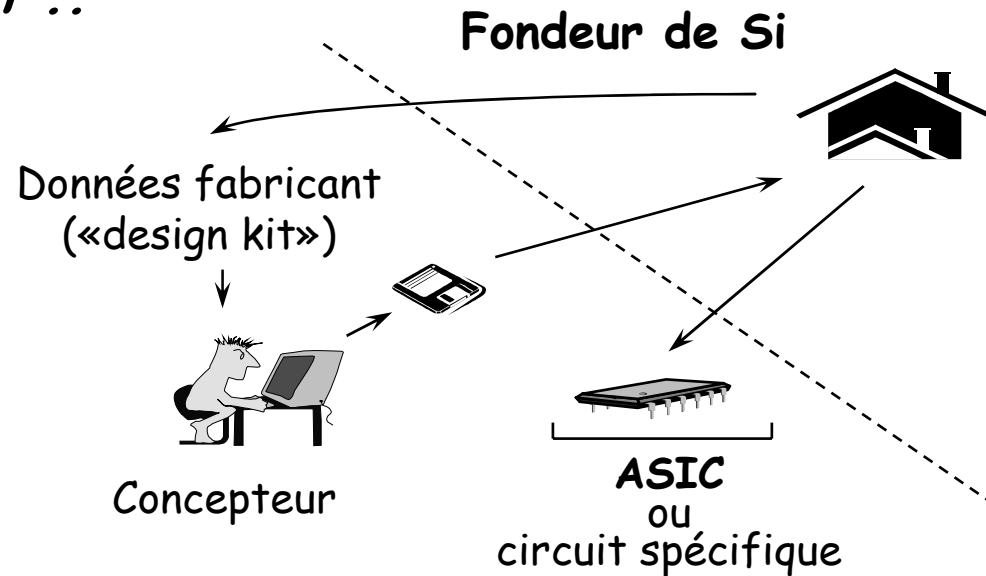
Le concepteur  achète un outil de CAO au fabricant de son choix.

Ensuite, plusieurs stratégies :

- 1 le concepteur achète le «design kit» (bibliothèques) de ES2, AMS, ... et l'intègre à son outil de CAO (ex. : CADENCE)
 - ⇒ il fera donc fabriquer son circuit par ES2, AMS, ...

1. INTRODUCTION - Conception de CIs

.. schématiquement ..



2

le fabricant d'outils de CAO possède ses propres «design kits» adaptés à chaque fondeur et les vend au concepteur

1. INTRODUCTION - Conception de CIs

Quelques acteurs de la Microélectronique

Fondeurs de Si 

ATMEL-ES2, AMS, THOMSON, PHILIPS, ...
(chaque fondeur développe ses propres bibliothèques)

Concepteurs 

CADENCE, FUJITSU, THOMSON, MENTOR, ...

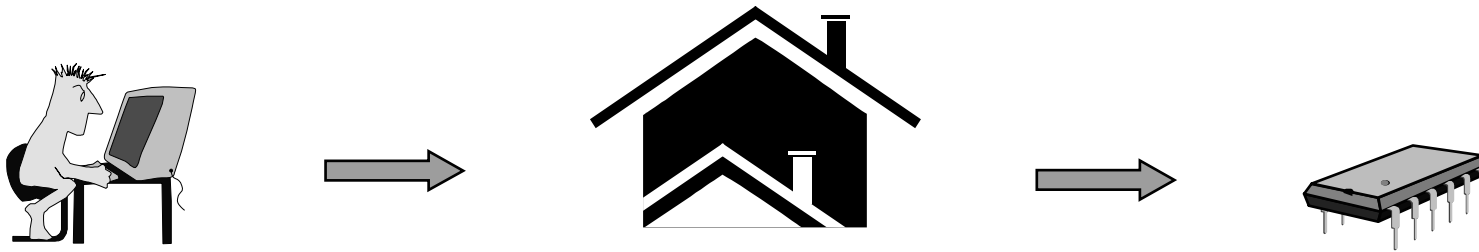


Fabricants d'outils de CAO

CADENCE, MENTOR, SYNOPSYS, ...

1. INTRODUCTION - Fabrication de CIs

Fabrication d'un CI

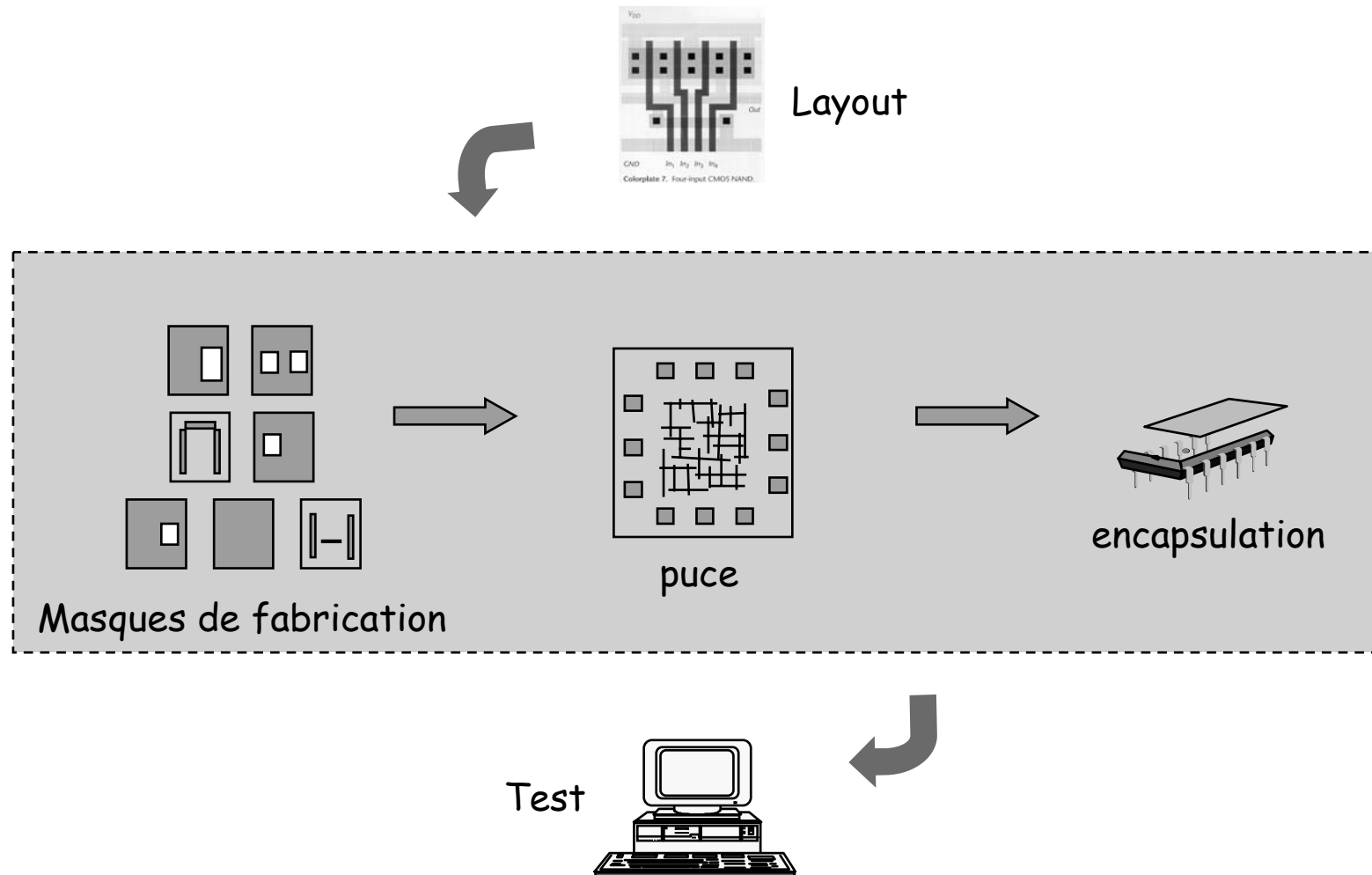


► **Opération complexe et coûteuse**

- milieu stérile
- nombreuses opérations
- matériels sophistiqués

Coût de fabrication très supérieur au coût de développement

1. INTRODUCTION - Fabrication de CIs



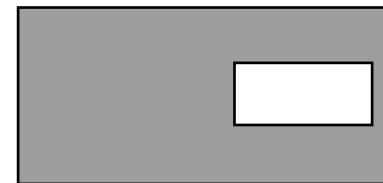
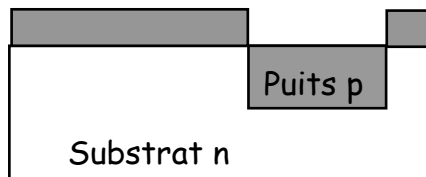
1. INTRODUCTION - Fabrication de CIs

Opérations de base d'un procédé de fabrication

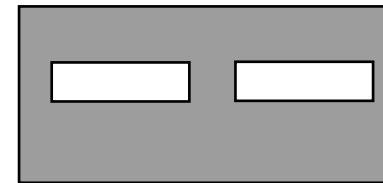
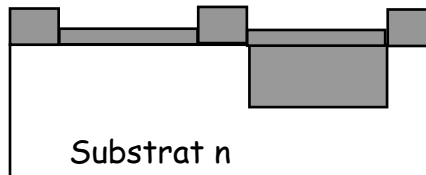
- Oxidation ➤ par chauffage
- Dopage ➤ par diffusion (dopant + chauffage)
 - par implantation ionique
- Gravure ➤ utilisation des masques de fabrication

1. INTRODUCTION - Fabrication de CIs

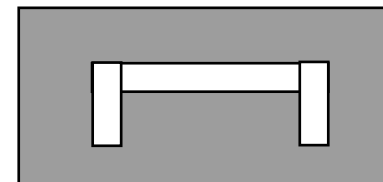
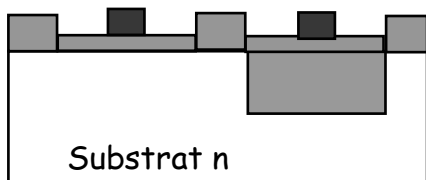
Exemple: fabrication d'un inverseur CMOS



Masque de puits



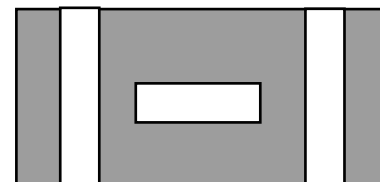
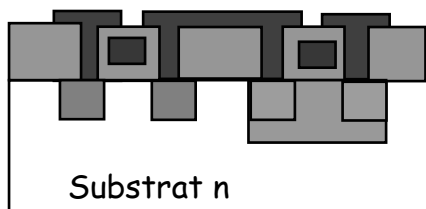
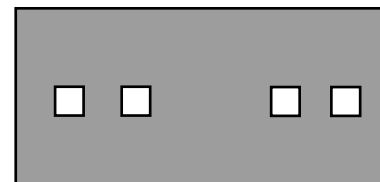
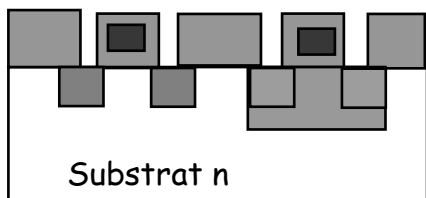
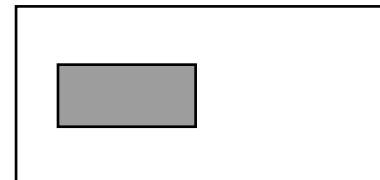
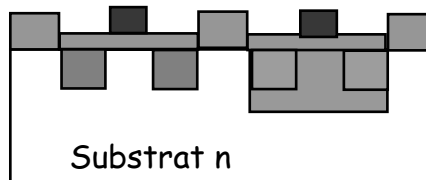
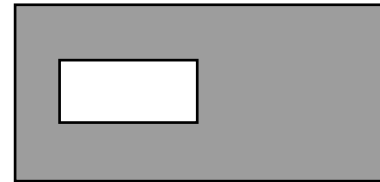
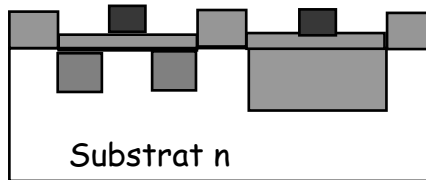
Masque de zone active
(pour le SiO₂)



Masque de polysilicium

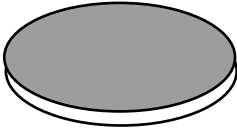
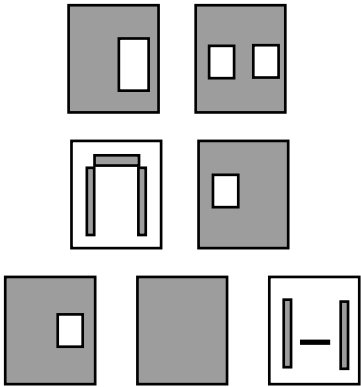
1. INTRODUCTION - Fabrication de CIs

Exemple: fabrication d'un inverseur CMOS (suite)

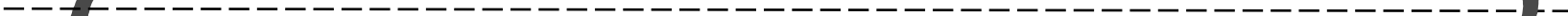
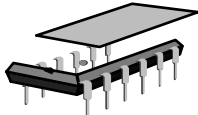
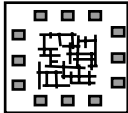


1. INTRODUCTION - Fabrication de CIs

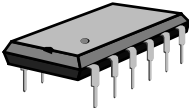
Masques de fabrication



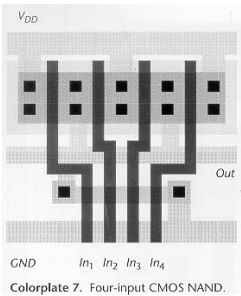
Fabricant de CIs



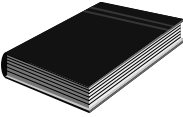
Utilisateur de CIs



ASIC



Layout

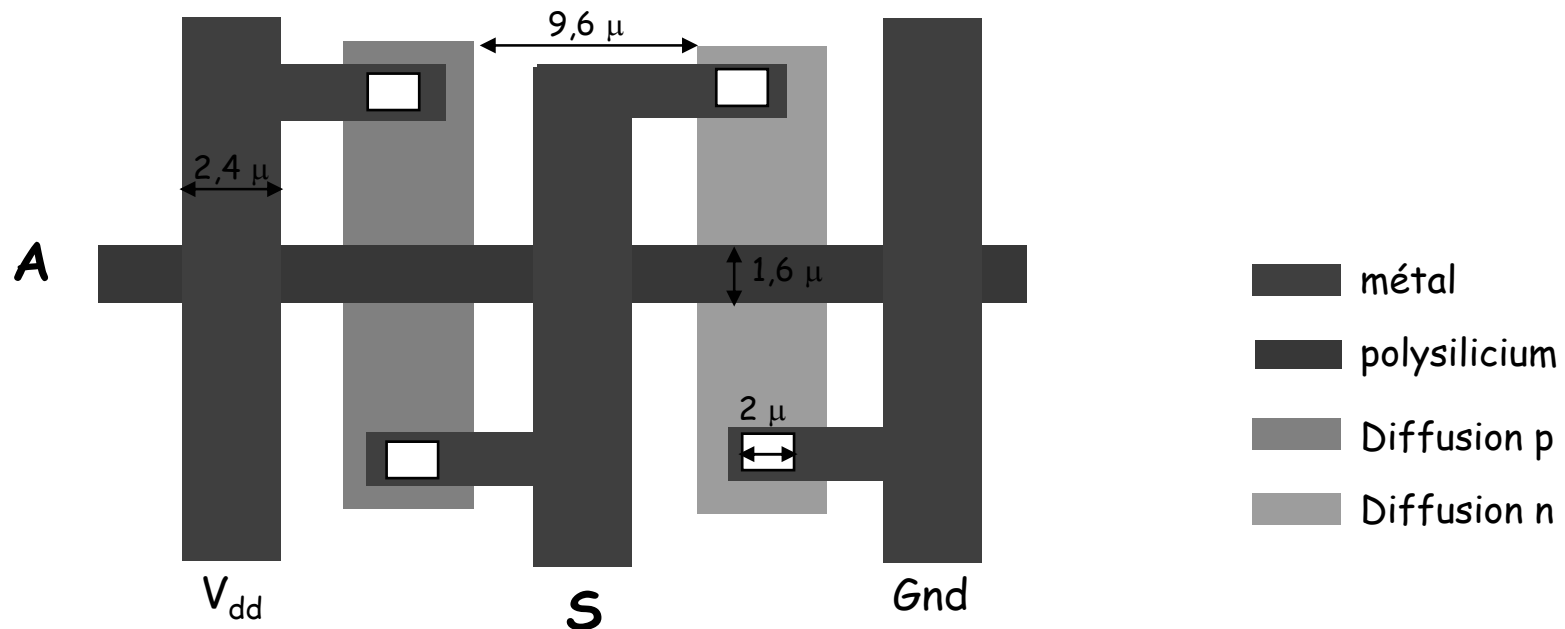


Spécifications

1. INTRODUCTION - Fabrication de CIs

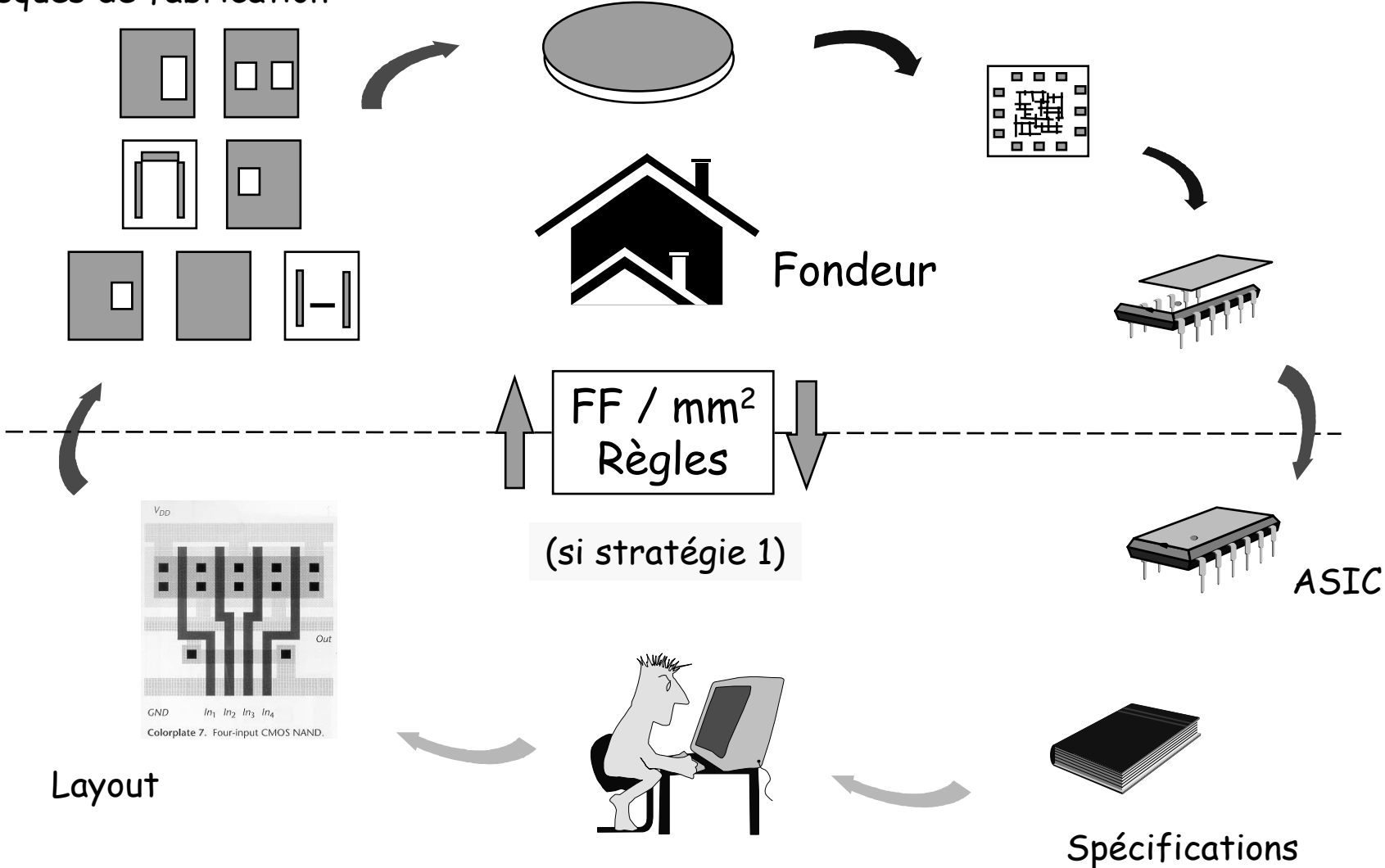
... en fait, un certain nombre de règles de conception doivent être respectées ... et sont fournies avec le "design kit".

Exemple: règles de dessin au niveau layout



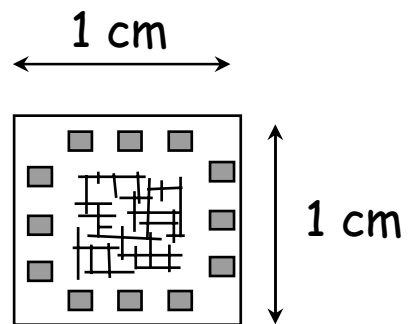
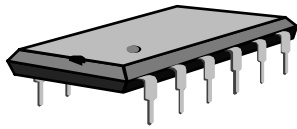
1. INTRODUCTION - Fabrication de CIs

Masques de fabrication



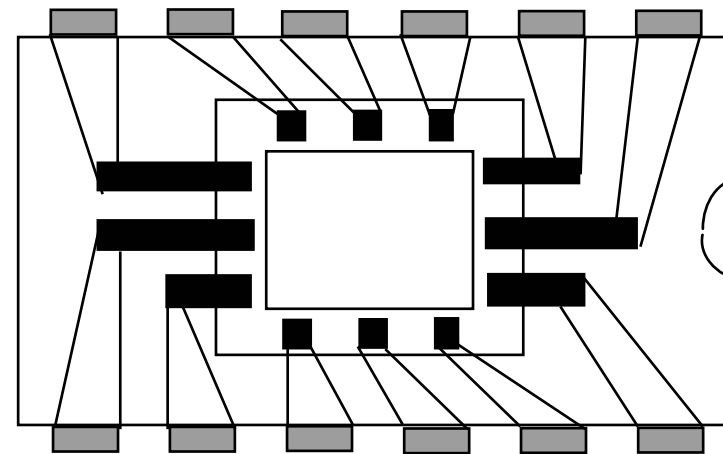
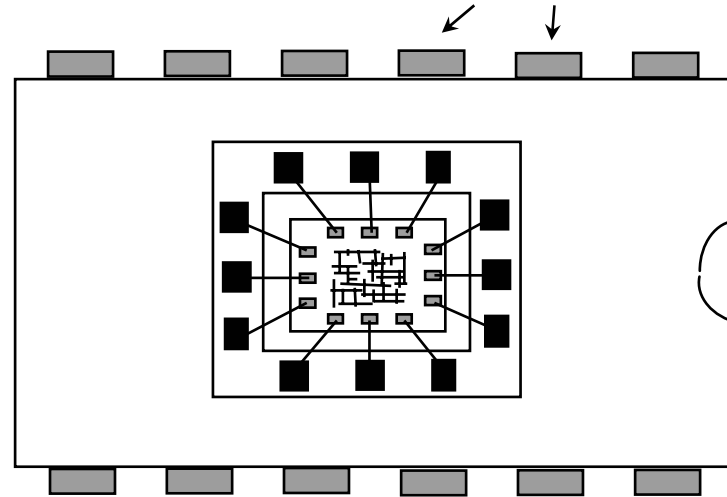
1. INTRODUCTION - Fabrication de CIs

boitier

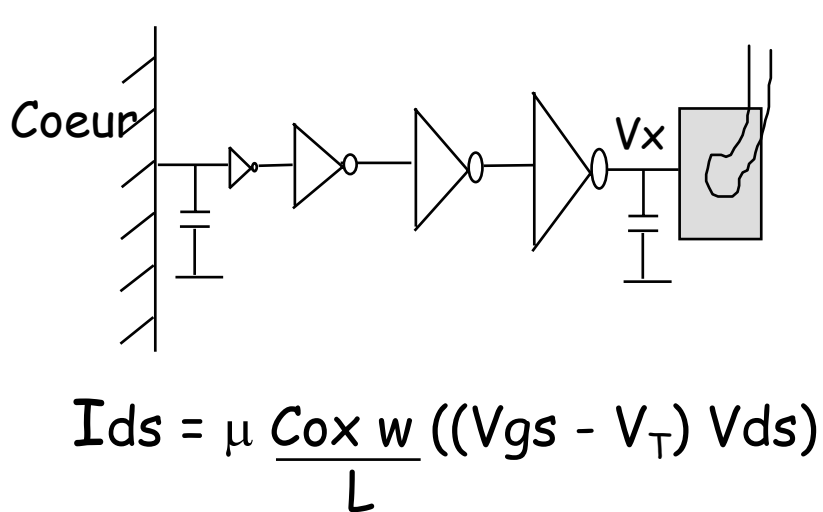
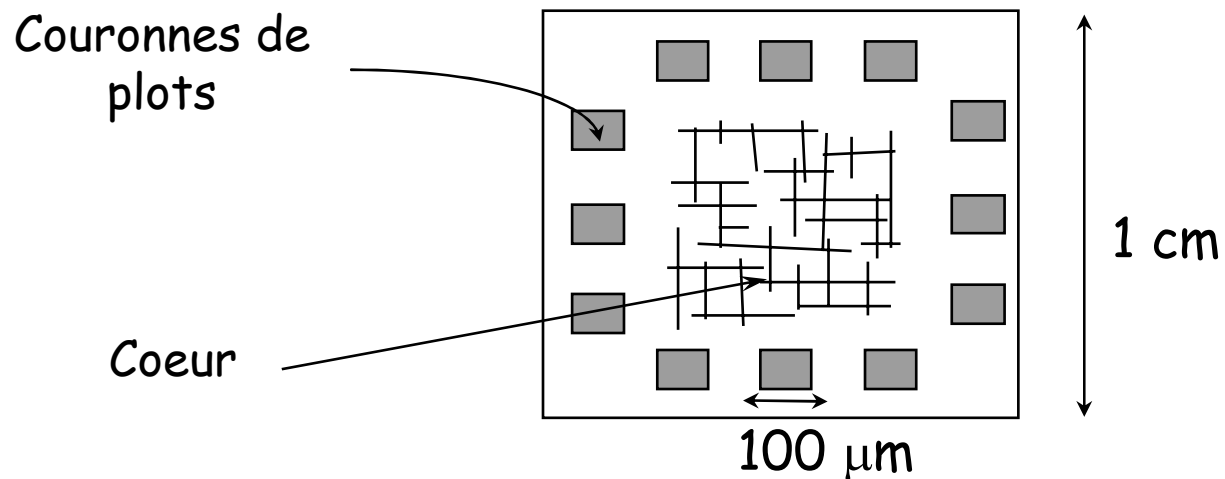


puce (chip)

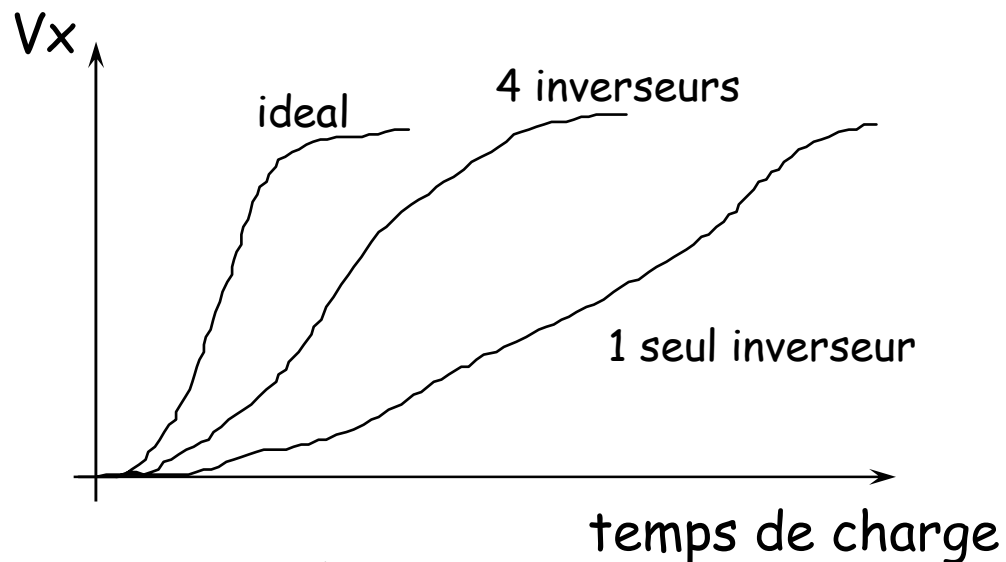
broches (pins)



1. INTRODUCTION - Fabrication de CIs



$$I_{ds} = \mu \frac{C_{ox} w}{L} ((V_{gs} - V_T) V_{ds})$$



Compromis temps de charge / surface

1. INTRODUCTION - Fabrication de CIs

Coût de fabrication - exemples de prix

Fondeurs de Si



- AMS : ⇒ CMOS 0.6 μ m, BiCMOS 0.6 μ m
- ⇒ mixte (digital / analogique), précaractérisé, sur mesure
- ⇒ outils CAO : Cadence, Avant!, Mentor, ...
- ⇒ coût : 2000 FF / mm² pour CMOS 0.6 μ m
3000 FF / mm² pour BiCMOS 0.6 μ m

Tarifs CMP - prix unitaire

1. INTRODUCTION - Fabrication de CIs

Fabrication d'un CI

Sites Web :

⇒ <http://www.intel.com/francais/educate>

⇒ <http://intrage.insa-tlse.fr/~etienne/Microwind/>

⇒ <http://cmp.imag.fr>

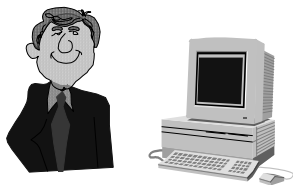
1. INTRODUCTION - Conception de CIs

Les circuits programmables : un concept différent

Le fabricant réalise lui-même la conception des circuits (indépendamment de toute application) ...

... les fabrique ...

... et développe ses propres outils de CAO

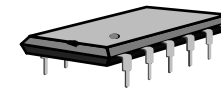
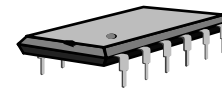
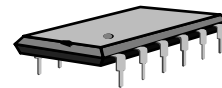


conception

+



fabrication



circuits programmables (PLD, CPLD, FPGA)

1. INTRODUCTION - Conception de CIs

Les circuits programmables : principe

L'utilisateur de circuits programmables achète donc :

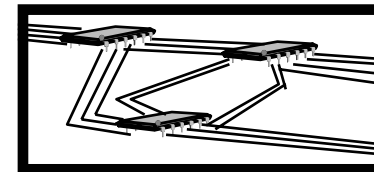
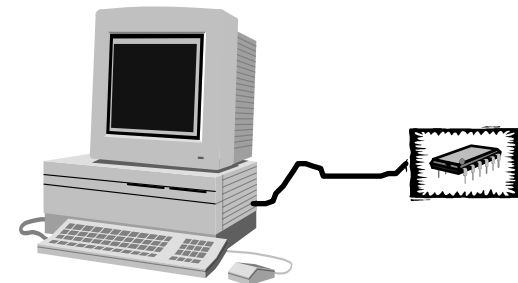
- * un outil logiciel de CAO (sur PC principalement)
- * des circuits programmables vierges (non programmés)
- * une platine de programmation (livrée avec le logiciel)

Pour la réalisation d'un circuit :

L'utilisateur réalise son design (schématique ou HDL) et le programme sur le support de son choix (CPLD ou FPGA)

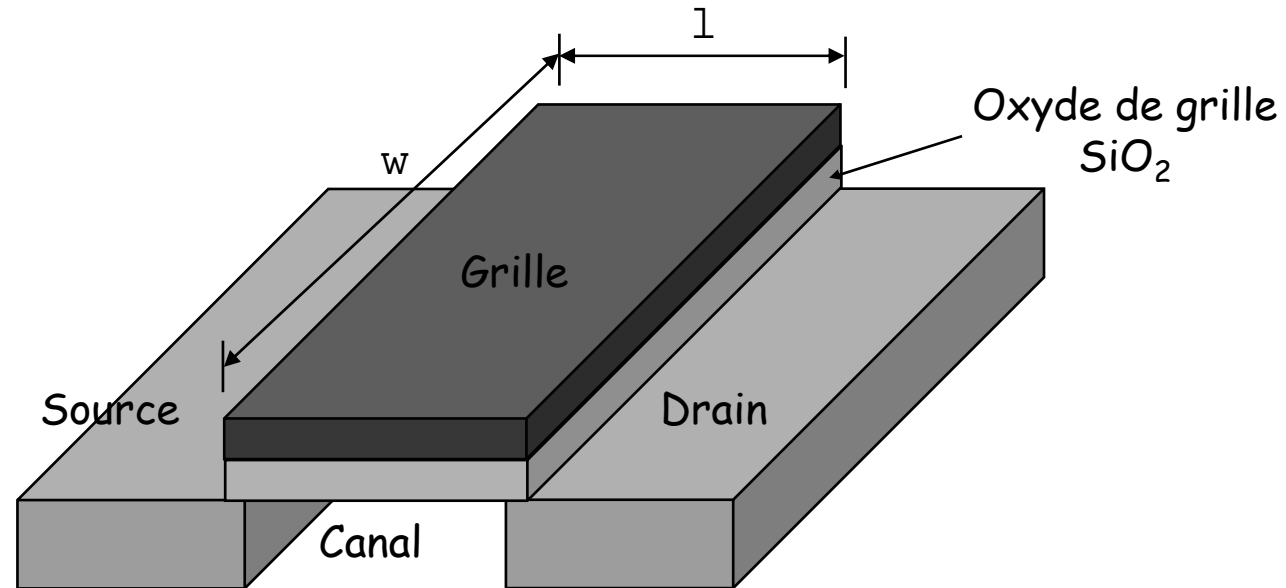
Une fois le circuit programmé, il devient opérationnel et peut être placé sur son support d'utilisation (carte)

Il n'y a pas de dialogue avec un fondeur ou le fabricant



1. RAPPELS - Transistors MOS et Technologie CMOS

Modèle logique de transistor MOS

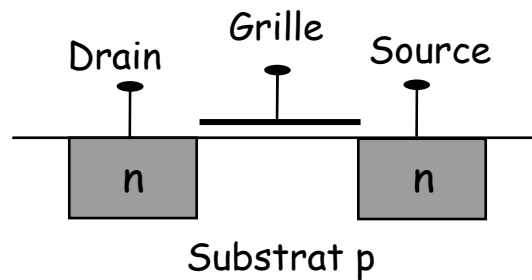


Effet de champ

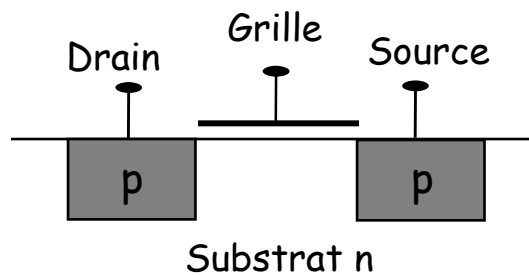
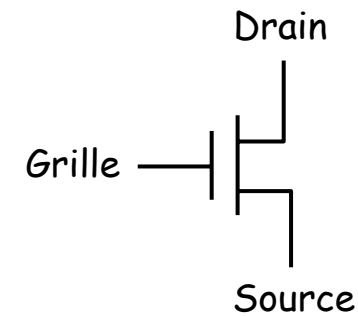
La conductance entre le drain et la source est modulée par la tension appliquée sur la grille, laquelle engendre un champ électrique qui module la quantité de porteurs dans le canal.

1. RAPPELS - Transistors MOS et Technologie CMOS

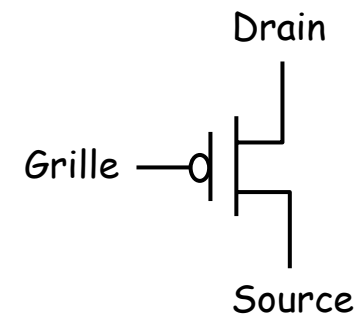
Modèle logique de transistor MOS



nMOS :
 V_{grille} positive
canal d'électrons

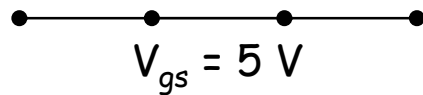
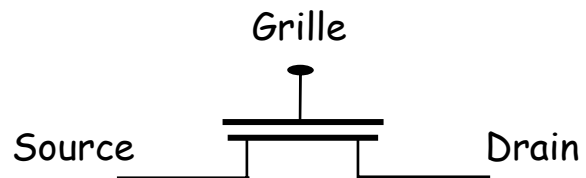


pMOS :
 V_{grille} négative
canal de trous

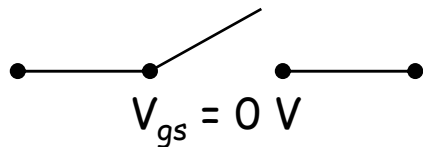


1. RAPPELS - Transistors MOS et Technologie CMOS

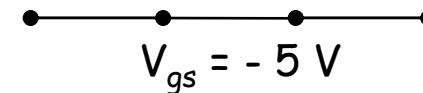
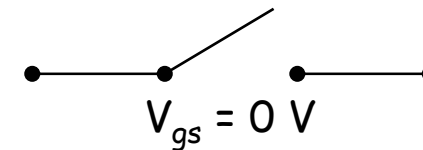
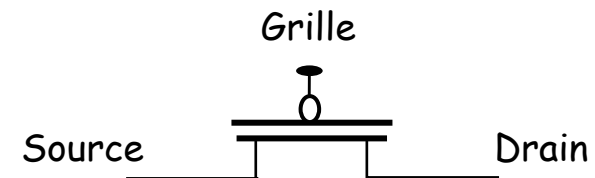
Modèle logique de transistor MOS



$$V_g = 1$$



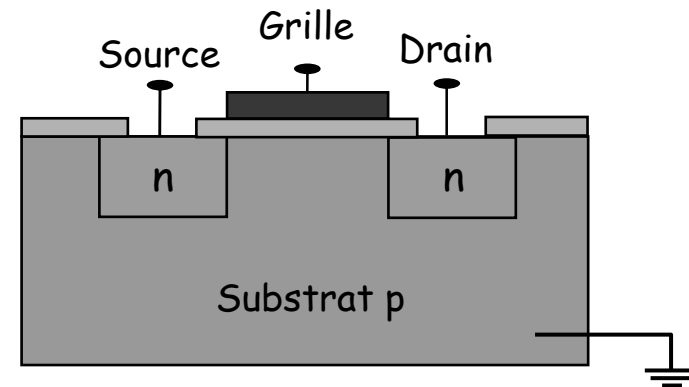
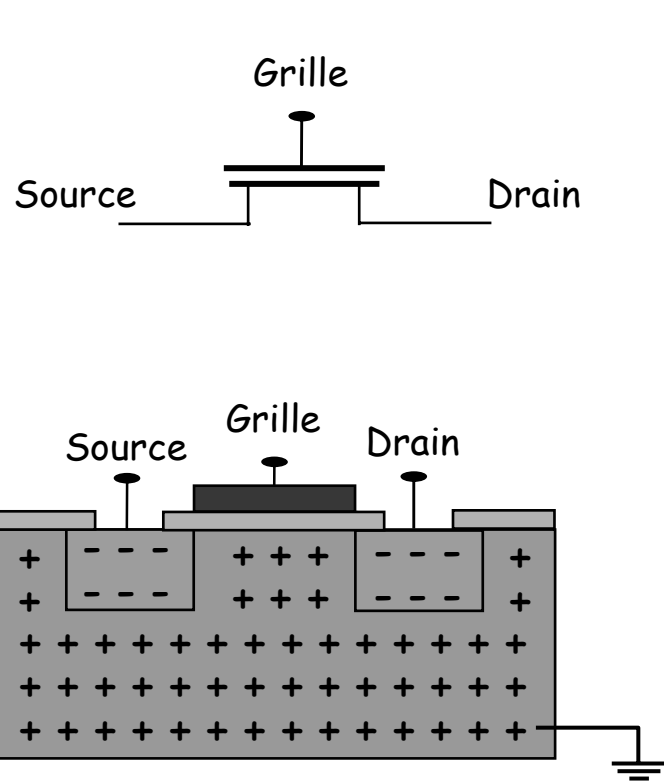
$$V_g = 0$$



Transistor MOS \Rightarrow commutateur

1. RAPPELS - Transistors MOS et Technologie CMOS

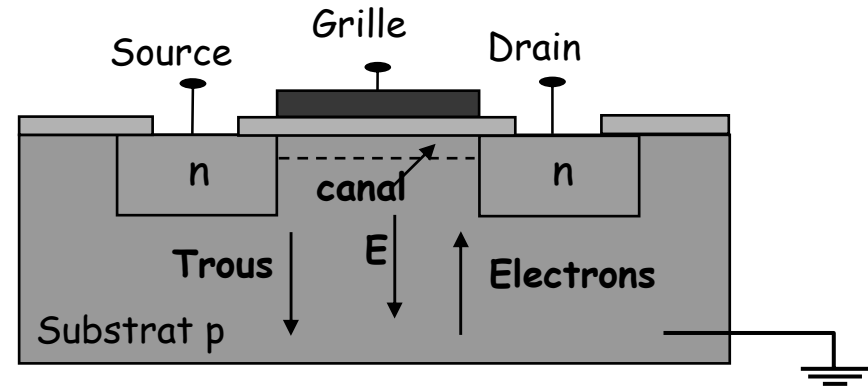
Fonctionnement du transistor NMOS à enrichissement



Entre les zones enrichies en électrons et la zone déplétée en électrons (substrat), il y a une zone sans aucun porteur.

1. RAPPELS - Transistors MOS et Technologie CMOS

Fonctionnement du transistor NMOS à enrichissement



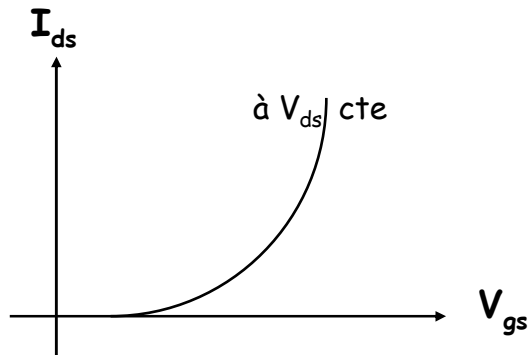
Si $V_{gs} \neq 0 \Rightarrow$ canal p- devient p-

Si V_{gs} augmente \Rightarrow canal p- devient p--

Si $V_{gs} > V_{th} \Rightarrow$ canal p-- devient n

\Rightarrow régime d'inversion, les régions n+ sont en liaison

\Rightarrow un courant I_{ds} circule entre source et drain si $V_{ds} \neq 0$



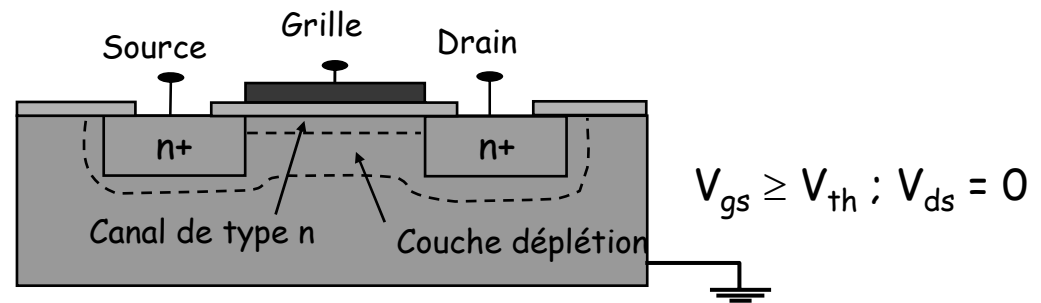
Si $V_g = 0 \Rightarrow$ nMOS bloqué

Si $V_g = V_{dd} \Rightarrow$ nMOS passant

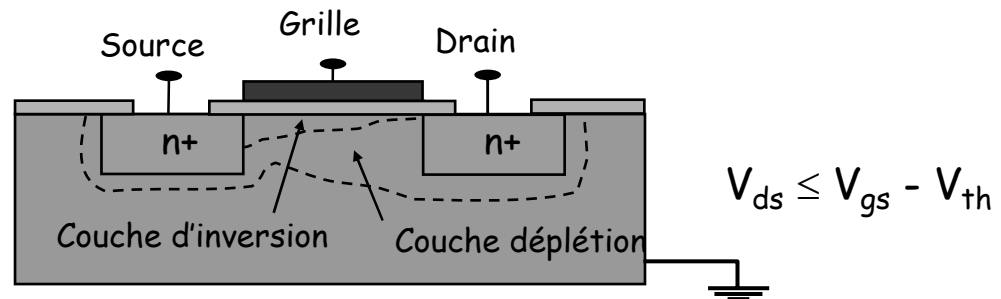
1. RAPPELS - Transistors MOS et Technologie CMOS

Fonctionnement du transistor NMOS à enrichissement

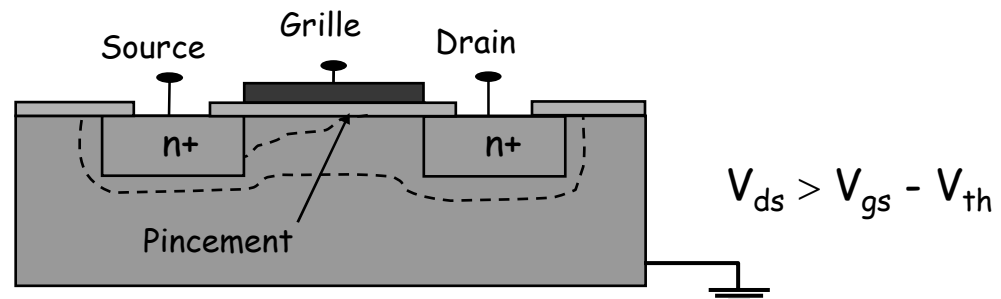
Régime bloqué $I_{ds} = 0$



Régime linéaire $I_{ds} \neq 0$



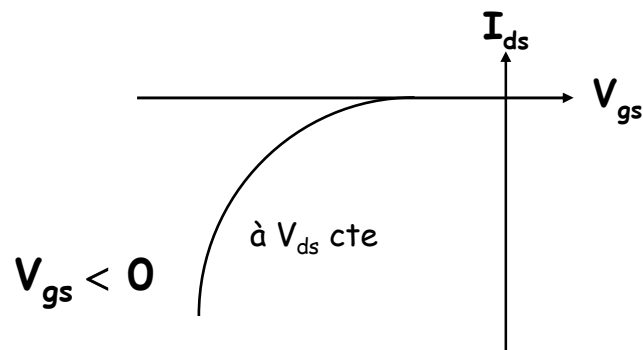
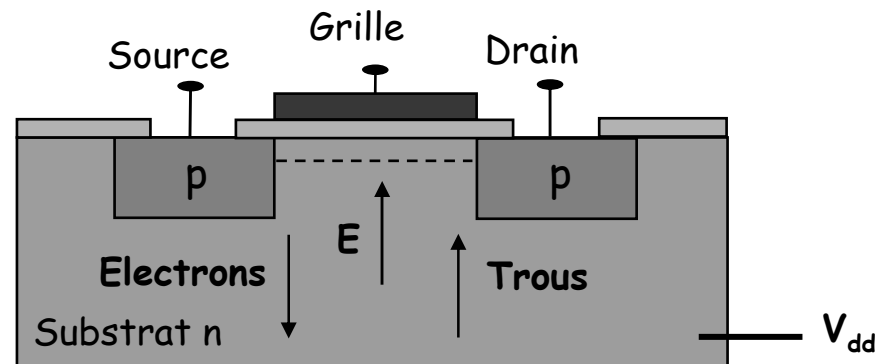
Régime saturé $I_{ds} = cte$
quand $V_{ds} \uparrow$, alors $R_{ds} \uparrow$



1. RAPPELS - Transistors MOS et Technologie CMOS

Fonctionnement du transistor PMOS à enrichissement

Fonctionnement dual
de celui du NMOS à
enrichissement

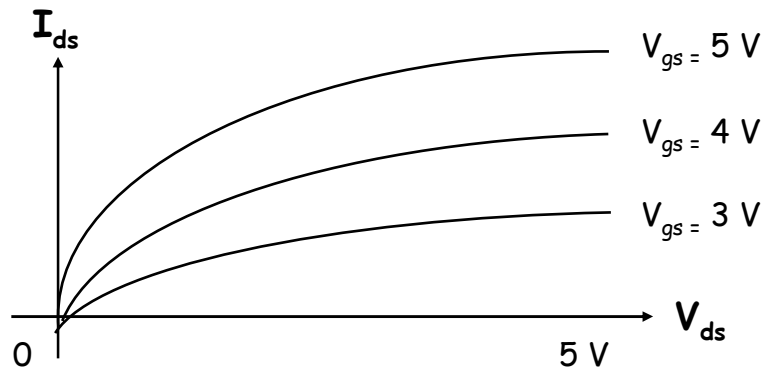
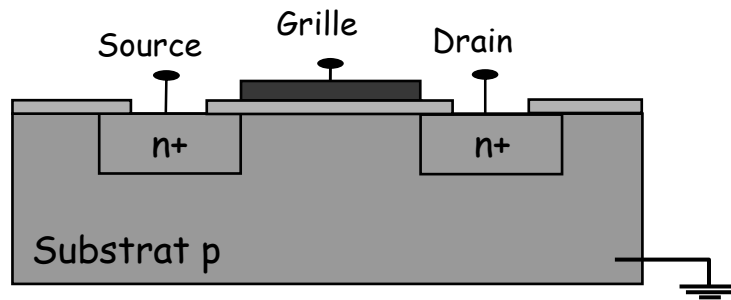


Si $V_g = 0 \Rightarrow$ pMOS passant

Si $V_g = V_{dd} \Rightarrow$ pMOS bloqué

1. RAPPELS - Transistors MOS et Technologie CMOS

Résumé : fonctionnement du MOS à enrichissement

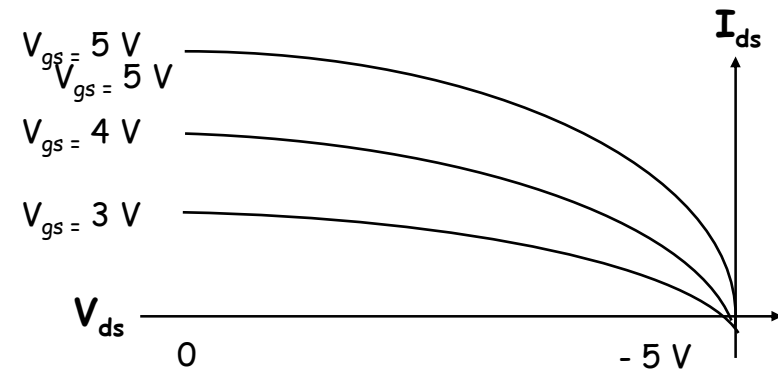
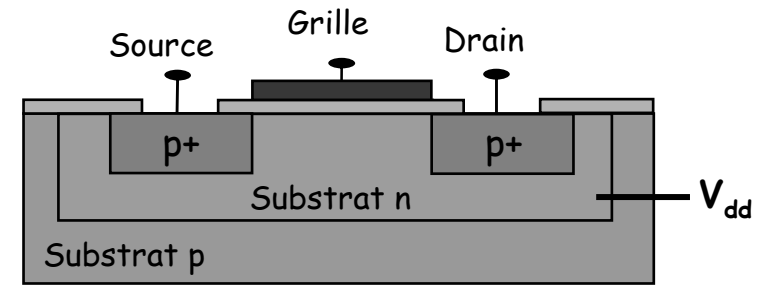


Substrat à la masse

$$V_{th} > 0$$

Source au potentiel le plus bas

Porteurs = électrons



Substrat à V_{dd}

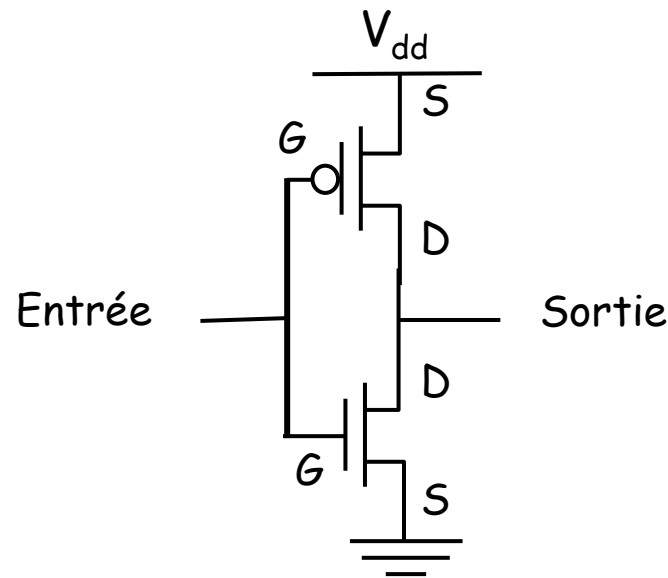
$$V_{th} < 0$$

Source au potentiel le plus élevé

Porteurs = trous

1. RAPPELS - Transistors MOS et Technologie CMOS

Technologie CMOS - l'inverseur



$$I_{ds} (\text{pMOS}) = I_{ds} (\text{nMOS})$$

$$V_{ds} (\text{nMOS}) - V_{ds} (\text{pMOS}) = V_{dd}$$

$$V_{gs} (\text{nMOS}) = V_{in}$$

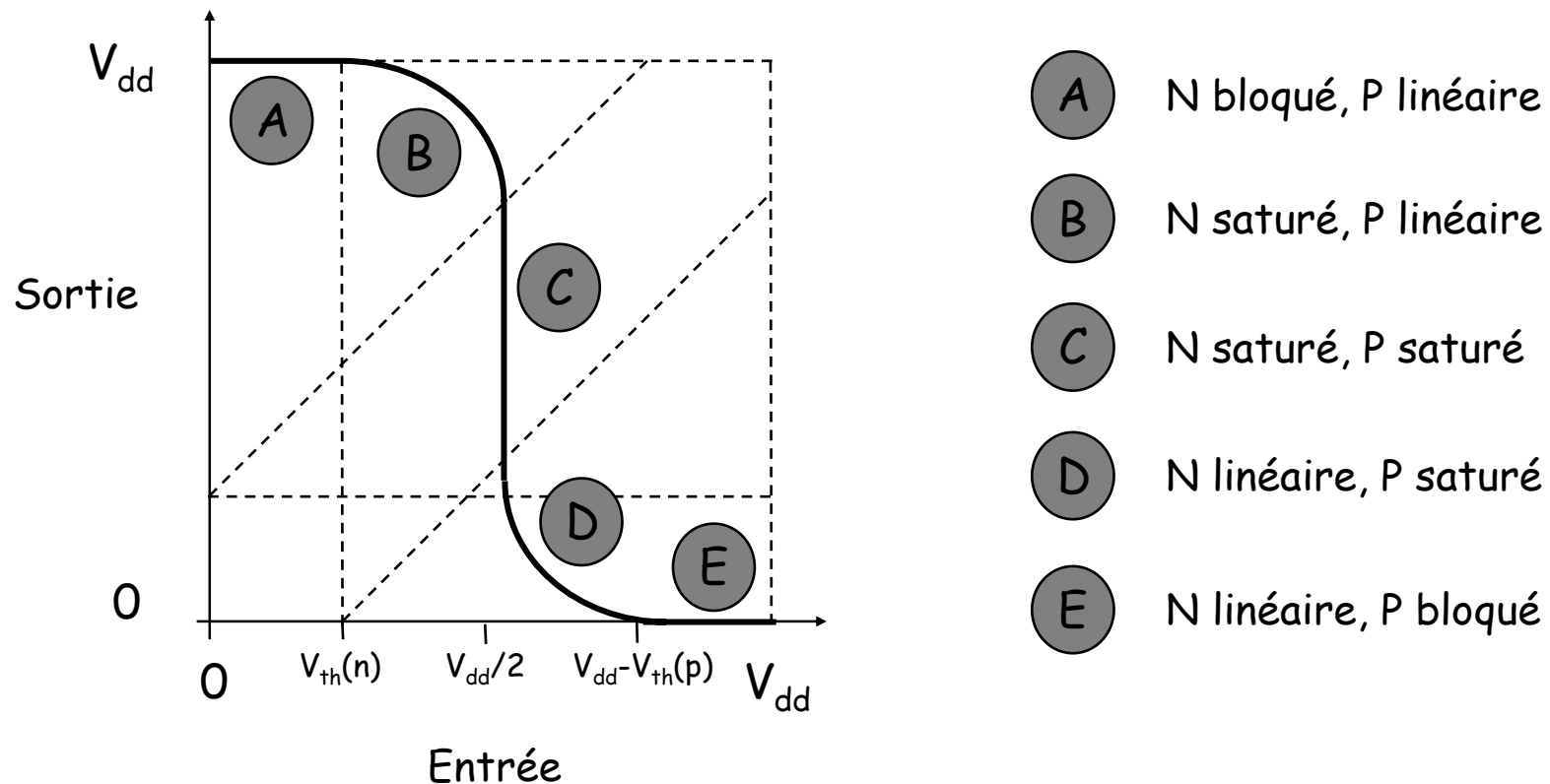
$$V_{gs} (\text{pMOS}) = - (V_{dd} - V_{in})$$

$$V_{ds} (\text{nMOS}) = V_{out}$$

1. RAPPELS - Transistors MOS et Technologie CMOS

Technologie CMOS - l'inverseur

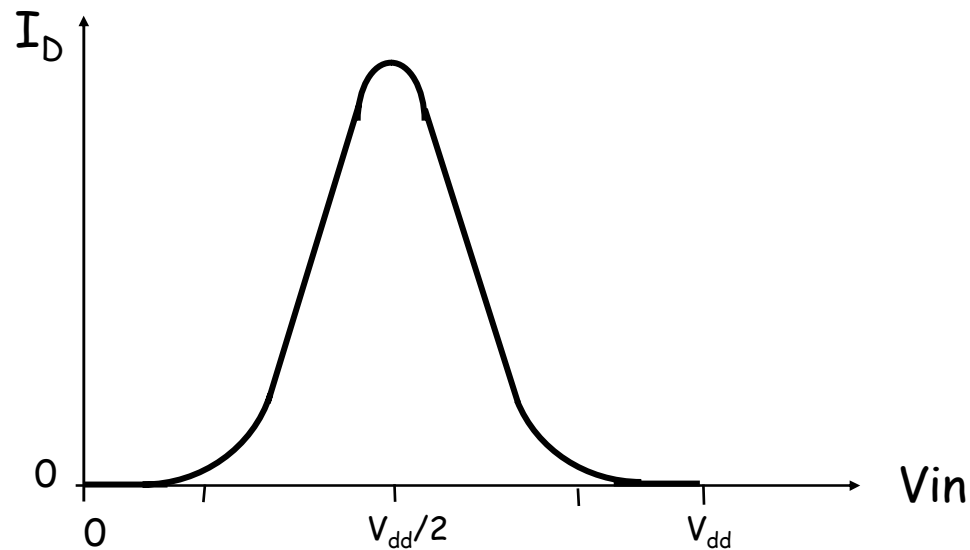
Caractéristique de transfert : les 5 régions



1. RAPPELS - Transistors MOS et Technologie CMOS

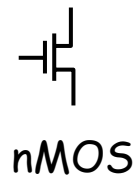
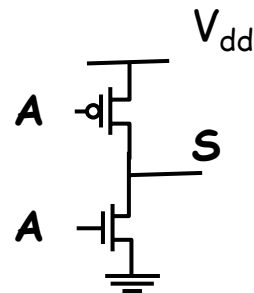
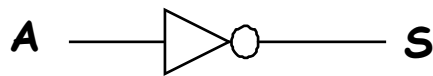
Technologie CMOS - avantages

- Densité d'intégration élevée
- Consommation de puissance uniquement en régime dynamique

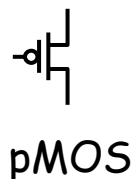


1. RAPPELS - Éléments d'architecture des CIs

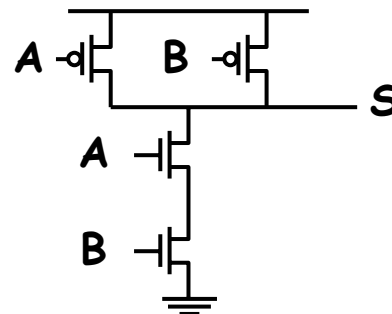
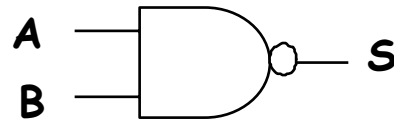
Portes CMOS élémentaires



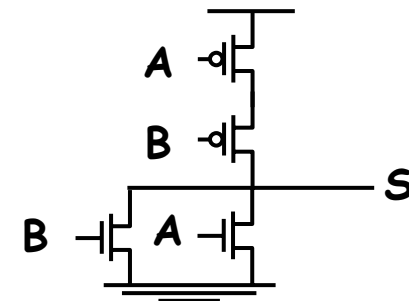
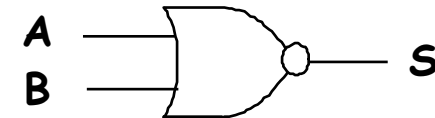
nMOS



pMOS



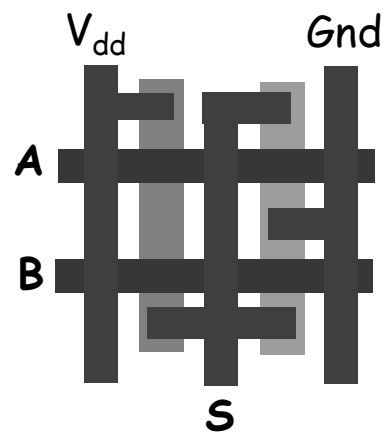
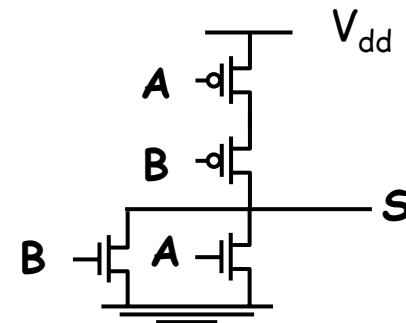
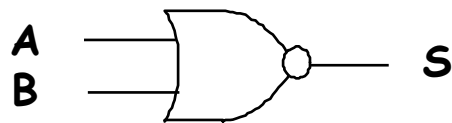
	0	1
0	1	1
1	1	0



	0	1
0	1	0
1	0	0

1. RAPPELS - Éléments d'architecture des CIs

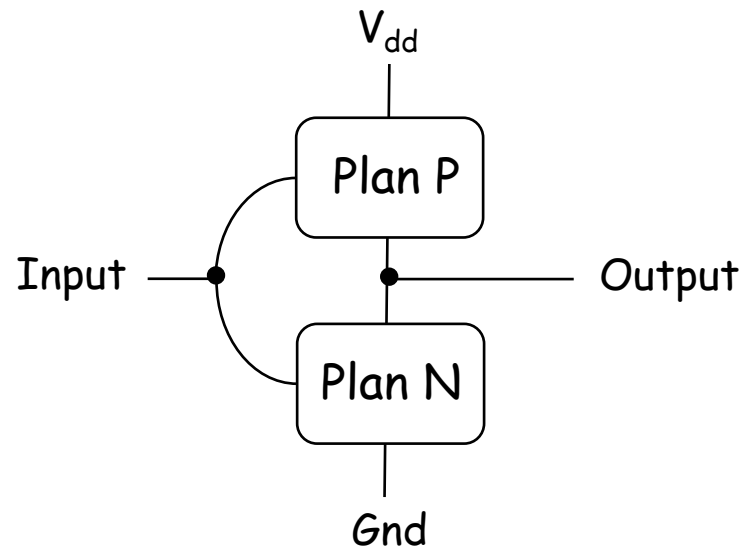
3 vues pour une fonction



- métal
- polysilicium
- Diffusion p
- Diffusion n

1. RAPPELS - Éléments d'architecture des CIs

Portes complexes (1)

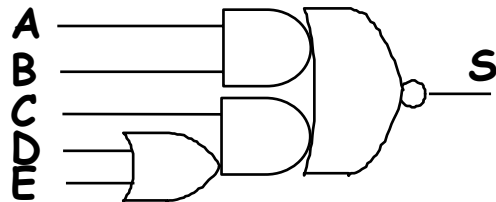


Les transistors P sont utilisés pour amener le 1 en sortie et les transistors N pour amener le 0. Il n'y a aucune perte de tension.

A chaque instant, un et un seul des plans N et P est conducteur (sauf lors d'une transition). Puisque l'un est fait de transistors N et l'autre de transistors P, les deux plans doivent être duals. Les deux plans partagent les mêmes entrées et ont le même nombre de transistors.

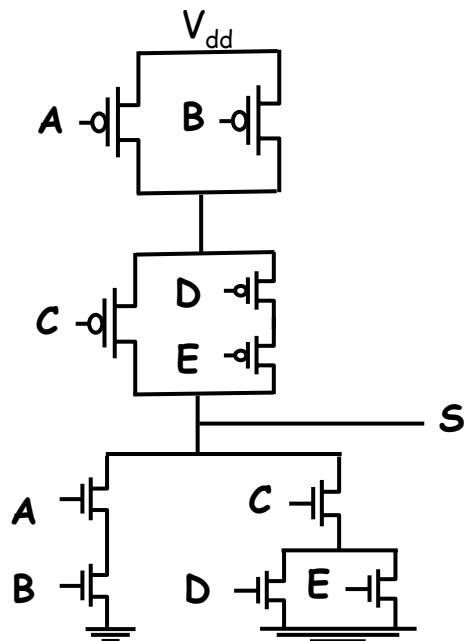
1. RAPPELS - Éléments d'architecture des CIs

Portes complexes (2)



Pour obtenir la vue au niveau transistor d'une porte complexe, on doit partir du plan N et utiliser les règles suivantes:

AND = transistors série
OR = transistors parallèle



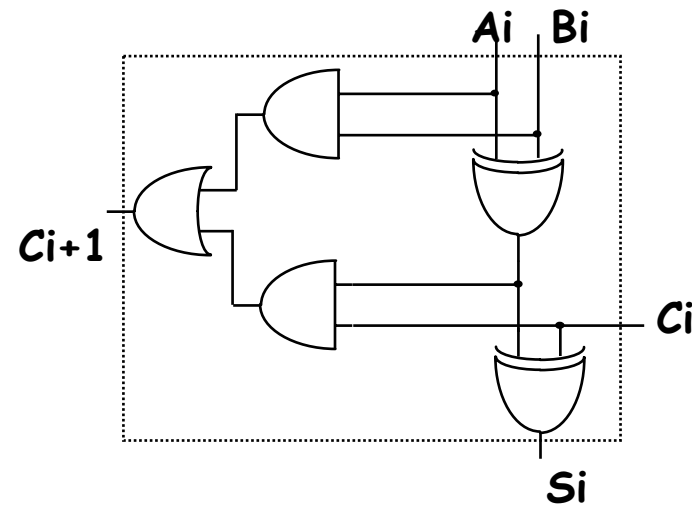
Pour construire le plan P, on doit utiliser l'une des deux méthodes suivantes:

- 1) inverser les règles ci-dessus pour le plan P
- 2) utiliser les règles de De Morgan pour complémentariser la fonction, et procéder comme pour le plan N

1. RAPPELS - Éléments d'architecture des CIs

Additionneur

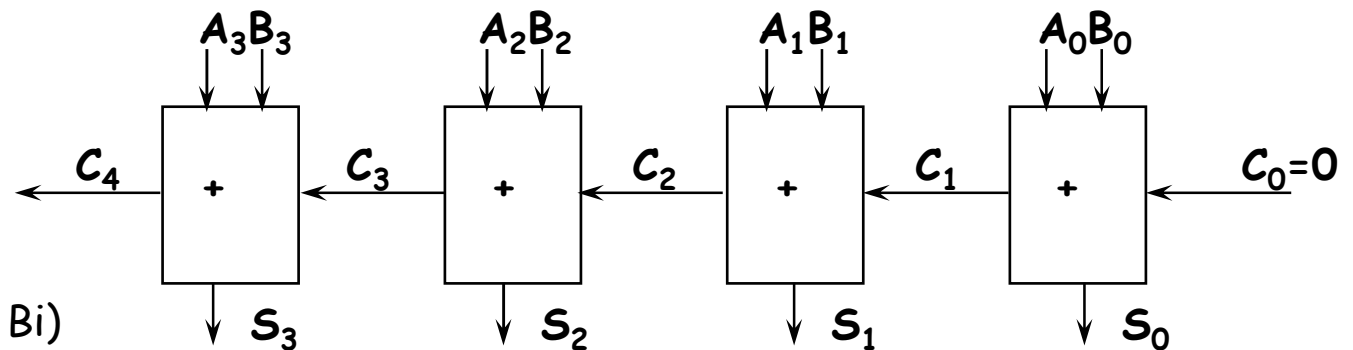
$A_i B_i C_i$	C_{i+1}	S_i
000	0	0
001	0	1
010	0	1
011	1	0
100	0	1
101	1	0
110	1	0
111	1	1



Equations

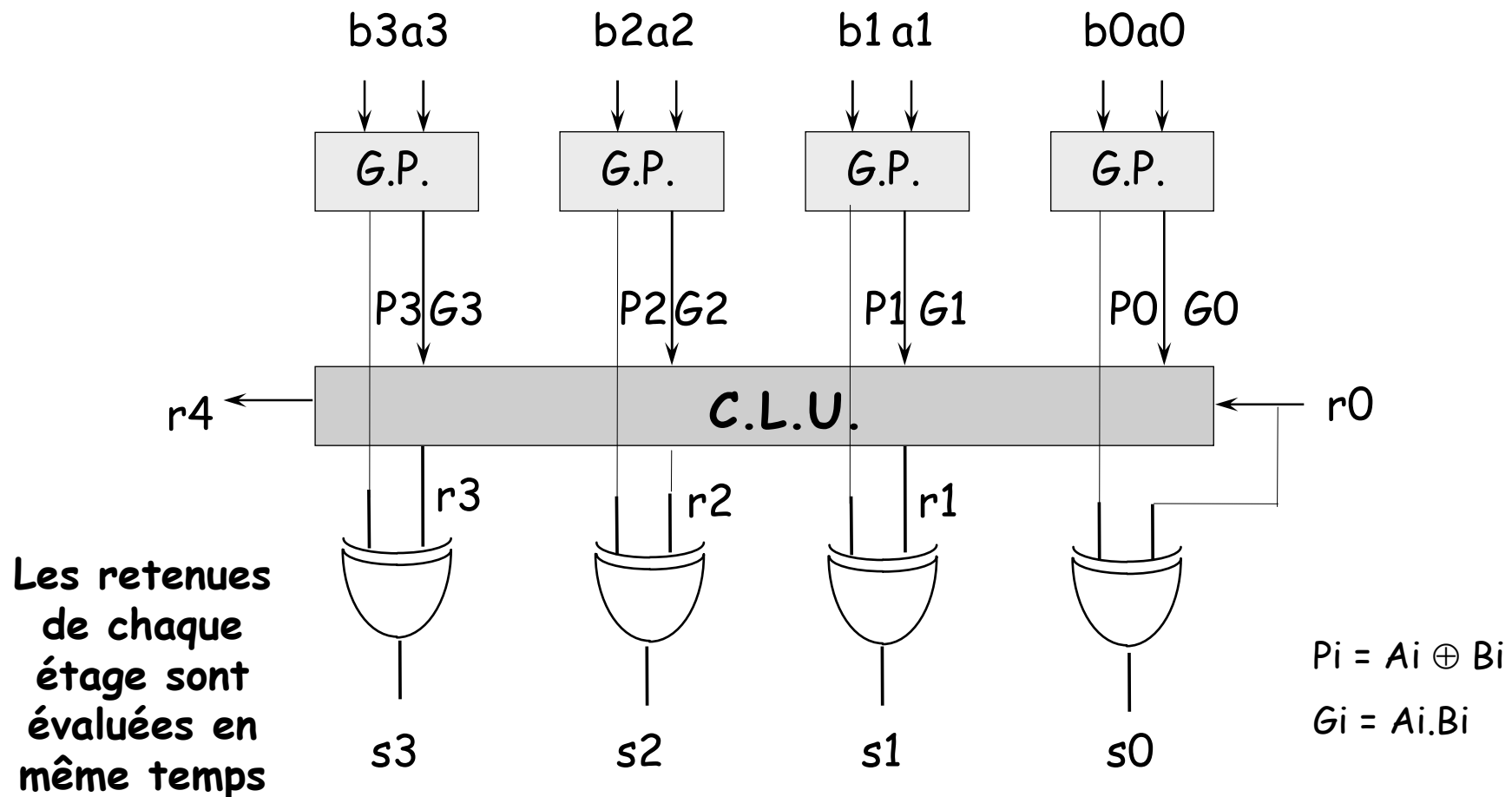
$$S_i = A_i \oplus B_i \oplus C_i$$

$$C_{i+1} = A_i B_i + C_i (A_i \oplus B_i)$$



1. RAPPELS - Éléments d'architecture des CIs

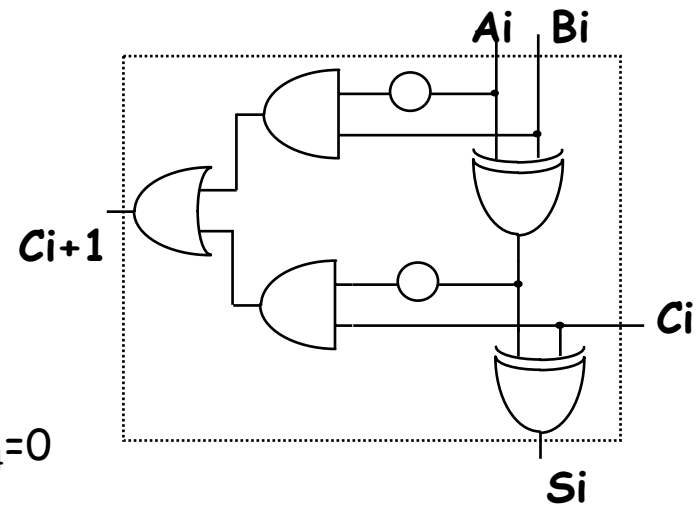
Additionneur à carry anticipée



1. RAPPELS - Éléments d'architecture des CIs

Soustracteur

$A_i B_i C_i$	C_{i+1}	S_i
000	0	0
001	1	1
010	1	1
011	1	0
100	0	1
101	0	0
110	0	0
111	1	1

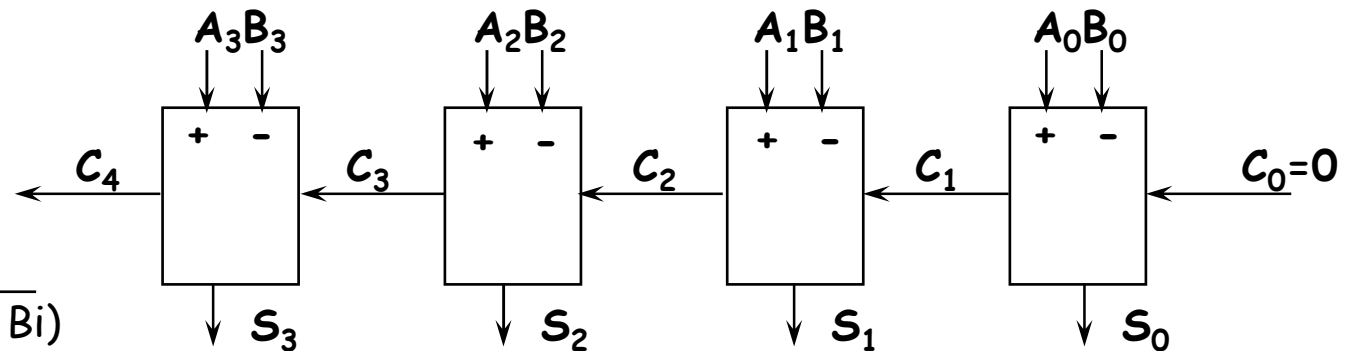


Si $A \geq B$ alors $C_4=0$
sinon $C_4=1$

Equations

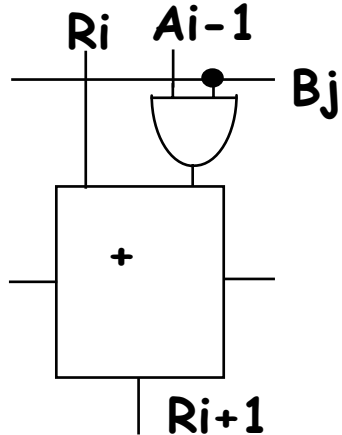
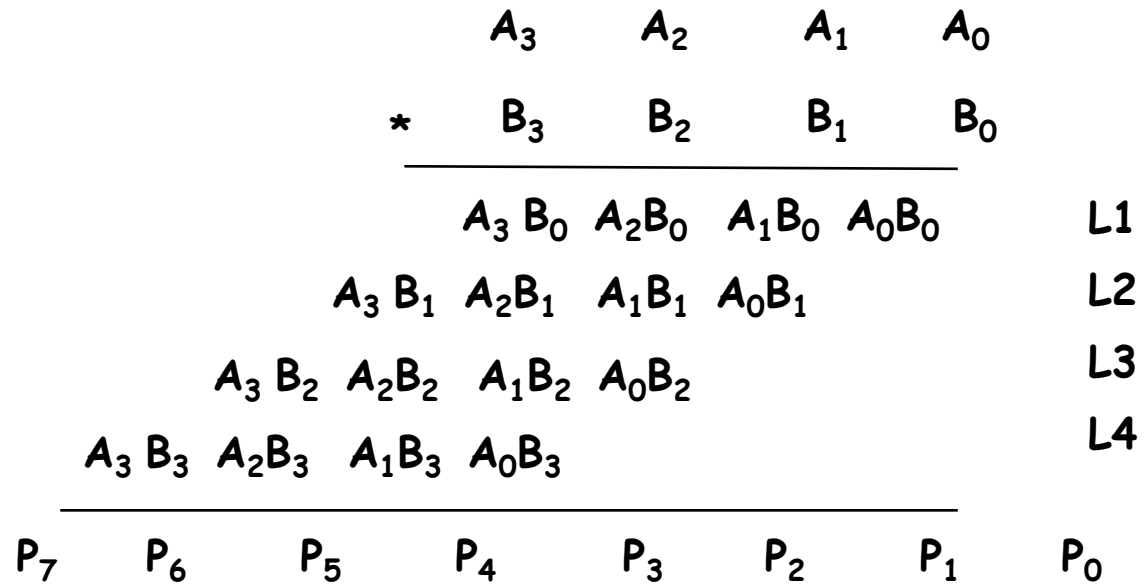
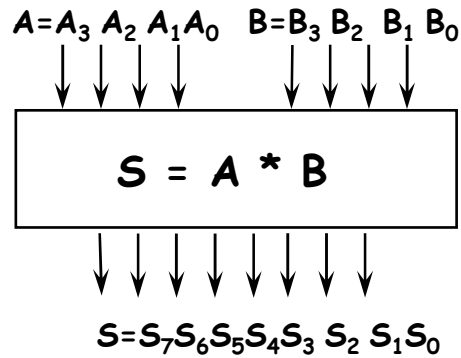
$$S_i = A_i \oplus B_i \oplus C_i$$

$$C_{i+1} = \overline{A_i} B_i + C_i (A_i \oplus B_i)$$



1. RAPPELS - Éléments d'architecture des CIs

Multiplieur

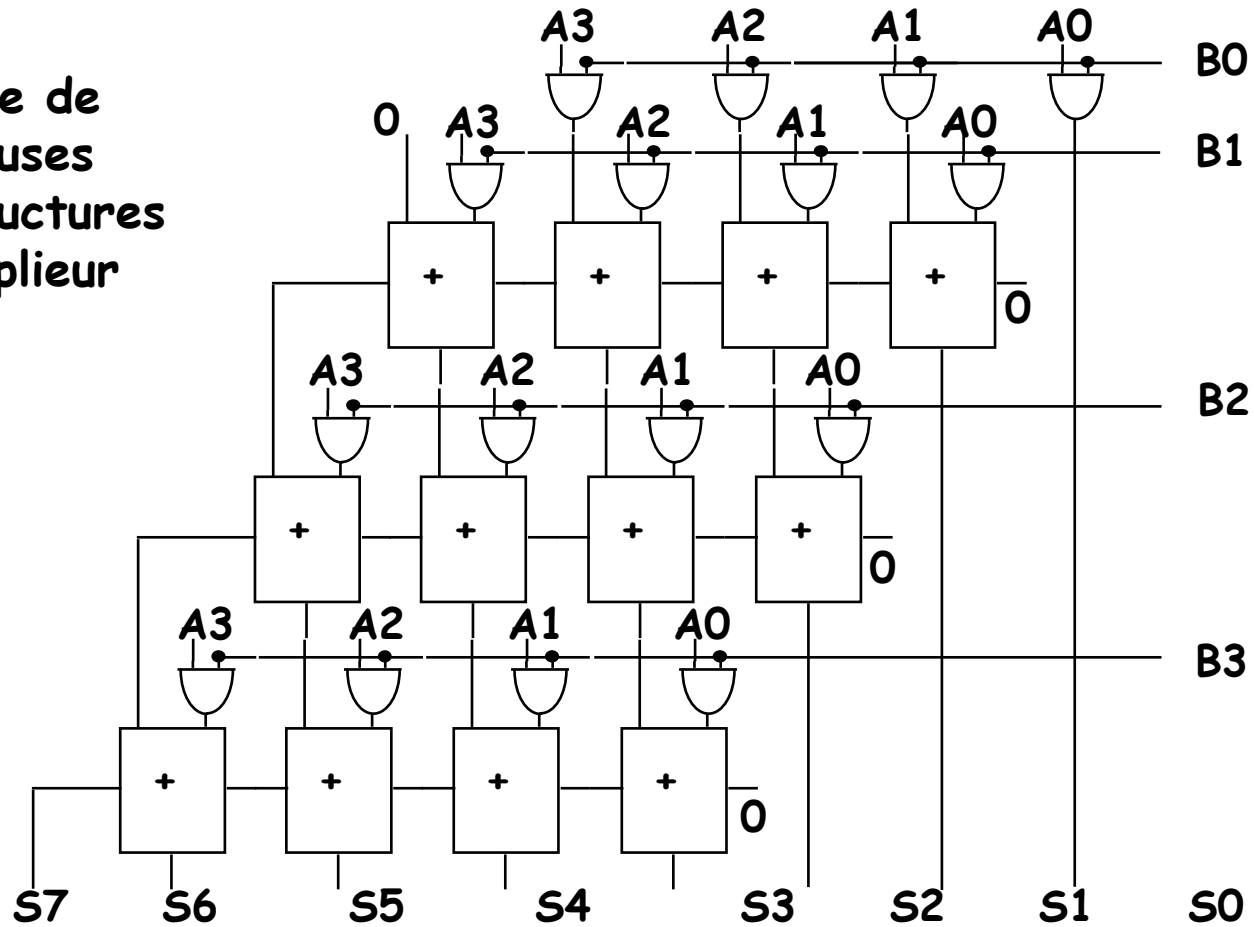


$$L1 + L2 = R1 \quad \Rightarrow \quad R1 + L3 = R2 \quad \Rightarrow \quad R2 + L4 = S$$

1. RAPPELS - Éléments d'architecture des CIs

Multiplieur

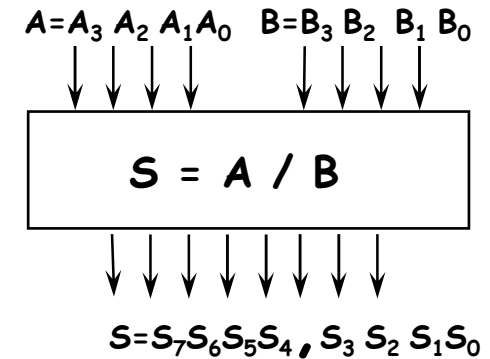
Il existe de nombreuses autres structures de multiplieur



1. RAPPELS - Éléments d'architecture des CIs

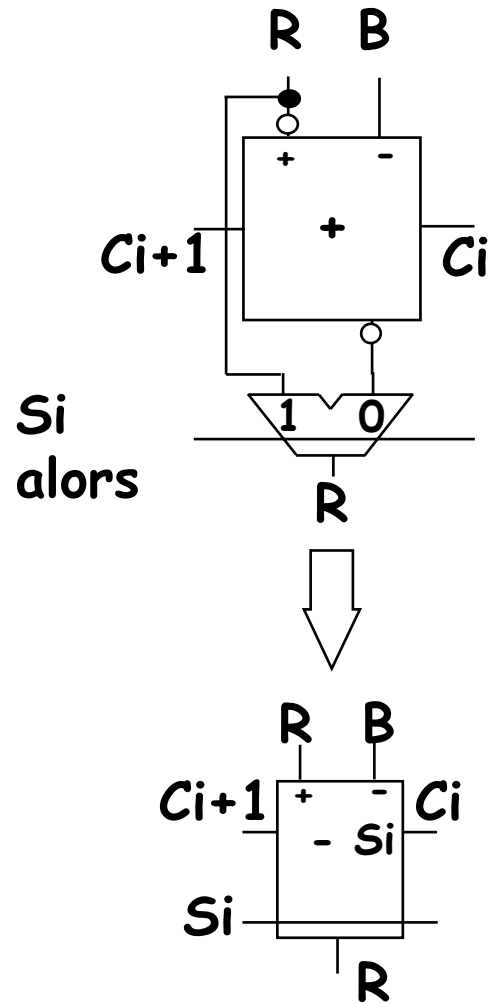
Diviseur

$$\begin{array}{r} 1011 \\ -100 \\ \hline 0011 \\ -000 \\ \hline 0110 \\ -100 \\ \hline 0100 \\ -100 \\ \hline 0000 \\ -000 \\ \hline 0000 \\ -000 \\ \hline 0000 \end{array} \quad \left| \begin{array}{l} 100 \\ \hline 10, 1100 \end{array} \right. \Rightarrow \boxed{0010, 1100}$$

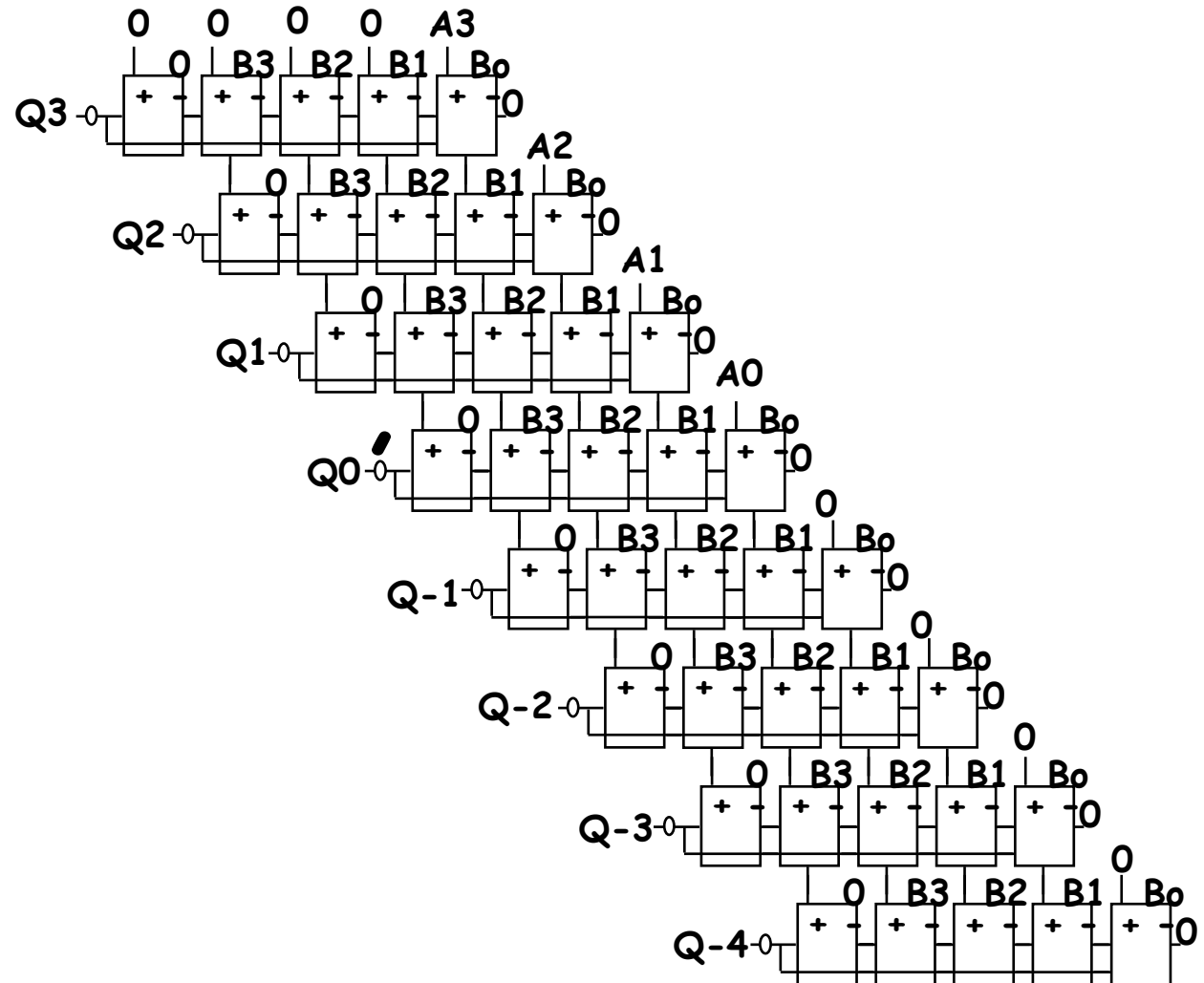


Si $R > B$ alors $Q=1$ et $R-B$
sinon $Q=0$ et R

1. RAPPELS - Éléments d'architecture des CI



Diviseur

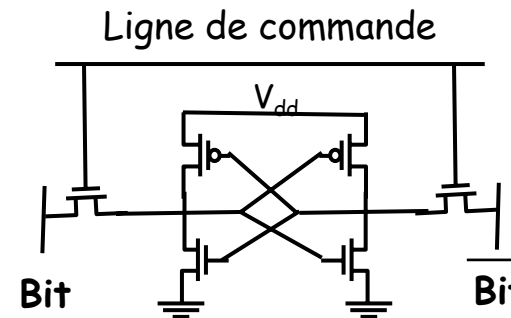


1. RAPPELS - Éléments d'architecture des CIs

Mémoires statiques (SRAMs)

- plus rapides
- plus fiables
- plus facile à utiliser

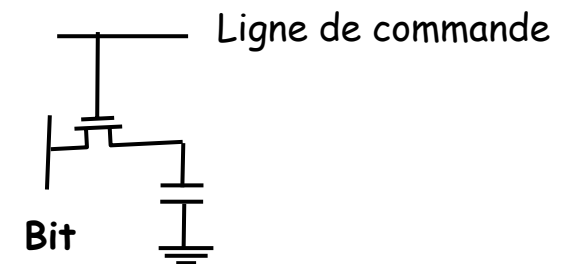
Utilisation : mémoire cache



Mémoires dynamiques (DRAMs)

- capacités de stockage plus élevées que les SRAMs (car plus petites)
- consomment moins de puissance

Utilisation : mémoire de masse (sur carte mère)



1. RAPPELS - Éléments d'architecture des CIs

Mémoires Mortes

▶ ROM

▶ PROM

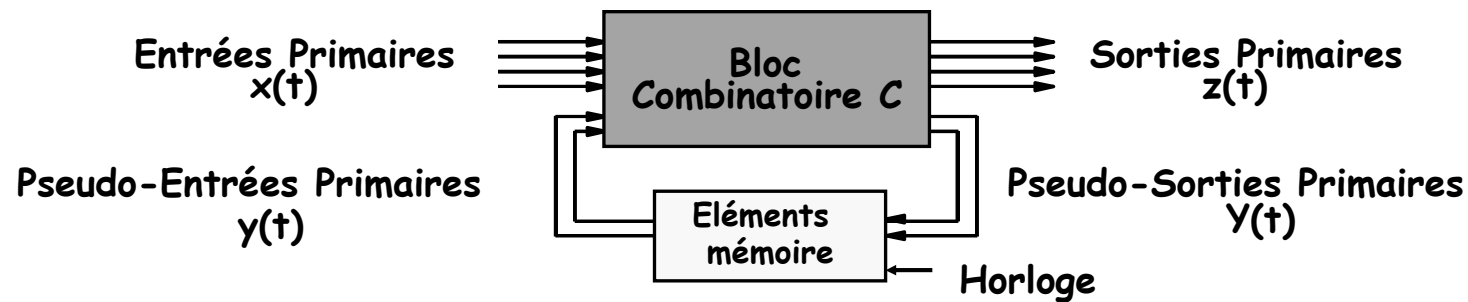
- ROM programmable par l'utilisateur
- technologie bipolaire
- programmation par fusible (impulsion de courant)
- non reprogrammable

▶ EPROM et EEPROM

- technologie CMOS
- programmation par grille flottante
- effacement par UV (électrique pour les EEPROMs)

1. RAPPELS - Éléments d'architecture des CIs

Les systèmes séquentiels



▶ Éléments séquentiels

- ▶ bascules RS, JK, D, ...
- ▶ registres série, parallèle, à décalage, ...
- ▶ compteurs synchrones, décompteurs, ...

1. RAPPELS - Éléments d'architecture des CIs

Exemple d'architectures de Microprocesseur

- Von Neumann (une seule mémoire pour instructions et données)
- Harvard (deux zones : une pour instructions, une pour données)
- pipeline (rapide mais duplication de registres - surface)
- multitache (comprend un "Hardware scheduler")
- parallèle (compromis vitesse/surface)
- VLIW (Very Long Instruction Word)
- ...

Les architectures des microprocesseurs actuels sont toutes des architectures pipelines (7 niveaux pour le PowerPC, 20 pour le Pentium 4) de type RISC.