

Concours n° 07/01

LISTE DES PUBLICATIONS

de

Patrick GIRARD

Chargé de Recherche au C.N.R.S.

Janvier 2005

1. BILAN DES PUBLICATIONS

Le tableau ci-dessous fournit un décompte par année des différents types de publications. Ces informations ne concernent que les documents d'ores et déjà publiés, ou sur le point de l'être.

La liste complète de mes publications est donnée dans la suite de ce document. Celles-ci sont disponibles sur le site suivant : <http://www.lirmm.fr/~girard/>.

Nature du Document	91	92	93	94	95	96	97	98	99	00	01	02	03	04	05	Total
Thèse de Doctorat - HDR		1											1			2
Participation à des Ouvrages										1	1			1		3
Revue avec Comité de Lecture	1	1		1	2		4		1	1	1	3	1	1	4	21
Conférences Invitées										1			1	1	1	4
Conférences avec Comité de Lecture		3	2	1	1	3	1	1	1	1	1	1	1	1		18
Symposiums avec Comité de Lecture		1		1	1	1	3	3	4	2	4	1	2	6	1	30
Workshops avec Comité de Lecture		1			1	1	2	1	2	2	3	2	4	2	1	22
Total Partiel	1	7	2	3	5	5	10	5	8	8	10	7	10	12	7	100
Workshops Internationaux			1	1	1				1							4
Colloques Nationaux				1			2		2			1		1		7
Présentations Diverses						1				1	1	2		1		6
Rapports de Contrats				3	4		1	2		1	1	2	4	4		22
Total	1	7	3	8	10	6	13	7	11	10	12	12	14	18	7	139

2. LISTE DES PUBLICATIONS

THESE DE DOCTORAT

[TH1] “DIAGNOSTIC DE PANNES TEMPORELLES DANS LES CIRCUITS DIGITAUX”

SOUTENUE LE 8 AVRIL 1992 DEVANT LE JURY COMPOSE DE :

Gaston CAMBON, Professeur, Université Montpellier II	Président
Daniel AUVERGNE, Professeur, Université Montpellier II	Rapporteur
Norbert GIAMBIASI, Professeur, Université Aix-Marseille III	Rapporteur
Alain COSTES, Professeur, INPT, Toulouse	Examineur
René DAVID, Directeur de Recherche CNRS, Grenoble	Examineur
Serge PRAVOSSOUDOVITCH, Maître de Conférences, Université Montpellier II	Examineur
Christian LANDRAULT, Directeur de Recherche CNRS, LIRMM, Montpellier	Directeur de Thèse

HABILITATION A DIRIGER DES RECHERCHES

[TH2] “CONTRIBUTION AU TEST DES CIRCUITS INTEGRES NUMERIQUES”

SOUTENUE LE 28 NOVEMBRE 2003 AU LIRMM DEVANT LE JURY COMPOSE DE :

Michel WEINFELD Michel, Directeur de Recherche CNRS, LIX Paris	Président
Jean ARLAT, Directeur de Recherche CNRS, LAAS, Toulouse	Rapporteur
Bernard COURTOIS, Directeur de Recherche CNRS, TIMA, Grenoble	Rapporteur
Matteo SONZA REORDA, Professeur, Ecole Polytechnique de Turin, Italie	Rapporteur
Serge PRAVOSSOUDOVITCH, Professeur, Université Montpellier II	Examineur
Michel ROBERT, Professeur, Université Montpellier II	Examineur
Joan FIGUERAS, Professeur, UPC Barcelone, Espagne	Membre invité
Christian LANDRAULT, Directeur de Recherche CNRS, LIRMM, Montpellier	Membre invité

OUVRAGES (LIVRE)

- [OU1] F. Azais, S. Bernard, Y. Bertrand, M.L. Flottes, P. Girard, C. Landrault, L. Latorre, S. Pravossoudovitch, M. Renovell, et B. Rouzeyre, “Test de Circuits et de Systèmes Intégrés”, Editions Hermes Science, ISBN 2-7462-0864-4, 2004.

OUVRAGES (EDITEUR)

- [OU2] D. Auvergne, M. Renovell, T. Riesgo et P. Girard, Actes “DCIS: Conference on Design of Circuits and Integrated Systems”, Montpellier, France, 21-24 Novembre 2000.
- [OU3] Département Microélectronique du LIRMM, Actes “ VLSI-SOC'01: 11th IFIP International Conference on Very Large Scale Integration ”, Montpellier, France, 3-5 Décembre 2001.

- [RE1] P. Girard, C. Landrault et S. Pravossoudovitch, "A Reliable Method for Delay-Fault Diagnosis", IEE Electronics Letters, vol. 27, n° 20, pp. 1841-1843, Septembre 1991.
- [RE2] P. Girard, C. Landrault et S. Pravossoudovitch, "Delay-Fault Diagnosis by Critical Path Tracing", IEEE Design & Test of Computers, vol. 9, n° 4, pp. 27-32, Décembre 1992.
- [RE3] P. Cavallera, P. Girard, C. Landrault et S. Pravossoudovitch, "Delay Fault Propagation in Synchronous Sequential Circuits", IEE Electronics Letters, vol. 30, n° 10, pp. 765-767, Mai 1994.
- [RE4] P. Girard, C. Landrault et S. Pravossoudovitch, "An Advanced Diagnostic Method for Delay Faults in Combinational Faulty Circuits", JETTA Journal of Electronic Testing - Theory and Applications, vol. 6, n° 3, pp. 277-294, Juin 1995.
- [RE5] P. Girard, C. Landrault, S. Pravossoudovitch et B. Rodriguez, "Delay Fault Diagnosis in Sequential Circuits Based on Path Tracing", INTEGRATION, the VLSI journal, vol. 19, n° 3, pp. 199-218, Novembre 1995.
- [RE6] P. Girard, C. Landrault, S. Pravossoudovitch et D. Severac, "Technique for Reducing Power Consumption in CMOS Circuits", IEE Electronics Letters, vol. 33, n° 6, pp. 485-486, Mars 1997.
- [RE7] P. Girard, C. Landrault, V. Moreda et S. Pravossoudovitch, "BIST Test Pattern Generator for Delay Testing", IEE Electronics Letters, vol. 33, n° 17, pp. 1429-1430, Août 1997.
- [RE8] P. Girard, C. Landrault, S. Pravossoudovitch et D. Severac, "Reduction of Power Consumption during Test Application by Test Vector Ordering", IEE Electronics Letters, vol. 33, n° 21, pp. 1752-1754, Octobre 1997.
- [RE9] P. Girard, C. Landrault, S. Pravossoudovitch et D. Severac, "A Non-Iterative Gate Resizing Algorithm for High Reduction in Power Consumption", INTEGRATION, the VLSI journal, vol. 24, n° 1, pp. 37-52, Décembre 1997.
- [RE10] P. Girard, C. Landrault, V. Moreda, S. Pravossoudovitch and A. Virazel, "A Scan-BIST Structure to Test Delay Faults in Sequential Circuits", JETTA Journal of Electronic Testing - Theory and Applications, vol. 14, n° 1/2, pp. 95-102, Avril 1999.
- [RE11] S. Manich, A. Gabarro, M. Lopez, J. Figueras, P. Teixeira, M.B. Santos, P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, "Low Power BIST by Filtering Non-Detecting Vectors", JETTA Journal of Electronic Testing - Theory and Applications, Vol. 16, N°3, pp. 193-202, Juin 2000.
- [RE12] A. Virazel, R. David, P. Girard, C. Landrault et S. Pravossoudovitch, "Delay Fault Testing: Choosing Between Random SIC and Random MIC Test Sequences", JETTA Journal of Electronic Testing - Theory and Applications, Vol. 17, N°3/4, pp. 233-241, Août 2001.
- [RE13] P. Girard, "Survey of Low-Power Testing of VLSI Circuits", IEEE Design & Test of Computers, vol. 19, n° 3, pp. 82-92, mai-juin 2002.
- [RE14] R. David, P. Girard, C. Landrault, S. Pravossoudovitch et A. Virazel, "Hardware Generation of Random Single Input Change Test Sequences", JETTA Journal of Electronic Testing - Theory and Applications, Vol. 18, N° 2, pp. 145-157, Avril 2002.

- [RE15] P. Girard, C. Landrault, S. Pravossoudovitch, A. Virazel et H.J. Wunderlich, “High Defect Coverage with Low-Power Test Sequences in a BIST Environment”, IEEE Design & Test of Computers, vol. 19, n° 5, pp. 44-52, septembre-octobre 2002.
- [RE16] C. Fagot, O. Gascuel, P. Girard et C. Landrault “A Ring Architecture Strategy for BIST Test Pattern Generation”, JETTA Journal of Electronic Testing - Theory and Applications, Vol. 19, N° 3, pp. 223-231, June 2003.
- [RE17] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, “Power-Driven Routing-Constrained Scan Chain Design”, JETTA Journal of Electronic Testing - Theory and Applications, Vol. 20, N° 6, December 2004.
- [RE18] P. Girard, O. Héron, S. Pravossoudovitch et M. Renovell, “Delay Fault Testing of Look-Up Tables in SRAM-Based FPGAs”, à paraître dans JETTA Journal of Electronic Testing - Theory and Applications, Vol. 21, N° 1, February 2005.
- [RE19] S. Borri, M. Hage Hassan, P. Girard, S. Pravossoudovitch et A. Virazel, “Analysis of Dynamic Defects in Embedded-SRAMs: Implications for Memory Test”, à paraître dans JETTA Journal of Electronic Testing - Theory and Applications, 2005.
- [RE20] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel, S. Borri et M. Hage Hassan, “ADOFs and Resistive-ADOFs in SRAM Address Decoders: Test Conditions and March Solutions”, à paraître dans JETTA Journal of Electronic Testing - Theory and Applications, 2005.
- [RE21] P. Girard et Y. Bonhomme, “Scan Chain Design Based on Efficient Tradeoff Between Test Power and Scan Routing”, à paraître dans JOLPE - Journal on Low Power Electronics, 2005.
- [RE22] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault, S. Pravossoudovitch et A. Virazel, “A Gated Clock Scheme for Low Power Testing of Logic Cores”, proposé à JETTA Journal of Electronic Testing - Theory and Applications, 2005.
- [RE23] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel, S. Borri et M. Hage-Hassan, “Efficient March Test Procedure for Dynamic Read Destructive Fault Detection in SRAM Memories”, proposé à JETTA Journal of Electronic Testing - Theory and Applications, 2005.
- [RE24] P. Girard, O. Héron, S. Pravossoudovitch et M. Renovell, “An Efficient BIST Scheme for a High Quality Testing of Delay Faults in the Logic Architecture of Symmetrical FPGAs”, proposé à JETTA Journal of Electronic Testing - Theory and Applications, 2005.

CONFÉRENCES INVITÉES DANS DES CONGRÈS

- [CI1] P. Girard, “Low Power Testing of VLSI Circuits: Problems and Solutions”, IEEE International Symposium on Quality of Electronic Design, pp. 173-179, San Jose, USA, 20-22 Mars 2000.
- [CI2] Y. Bonhomme, P. Girard, C. Landrault et S. Pravossoudovitch, “Power Conscious Testing”, East-West Design and Test Conference, pp. 29-31, Yalta, Ukraine, 17-21 Septembre 2003.
- [CI3] P. Girard, O. Héron, S. Pravossoudovitch et M. Renovell, “High Quality TPG for Delay Faults in Look-Up Tables of FPGAs”, IEEE International Workshop on Electronic Design, Test & Applications, pp. 83-88, Perth, Australie, 28-30 Janvier 2004.
- [CI4] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel et M. Bastian Hage-Hassan, “Test Solutions for Dynamic Faults in SRAM Memories”, MEDEA+ Design Automation Conference, Paris, France, 22-25 Mai 2005.

CONFERENCES AVEC COMITE DE LECTURE ET ACTES

- [CO1] M.L. Flottes, P. Girard, C. Landrault et S. Pravossoudovitch, "A New Reliable Method for Delay-Fault Diagnosis", IEEE International Conference on VLSI design, pp. 12-16 Bangalore, Inde, 4-7 Janvier 1992.
- [CO2] P. Girard, C. Landrault et S. Pravossoudovitch, "An Alternative to Fault Simulation for Delay-Fault Diagnosis", IEEE European Design Automation Conference, pp. 274-279, Bruxelles, Belgique, 16-19 Mars 1992.
- [CO3] P. Girard, C. Landrault et S. Pravossoudovitch, "A Novel Approach to Delay-Fault Diagnosis", ACM/SIGDA Design Automation Conference, pp. 357-360, Anaheim, USA, 8-12 Juin 1992.
- [CO4] P. Girard, C. Landrault et S. Pravossoudovitch, "A Reconvergent Fanout Analysis for the CPT Algorithm Used in Delay-Fault Diagnosis", IEEE European Test Conference, pp. 83-88, Rotterdam, Pays-Bas, 19-24 Avril 1993.
- [CO5] D. Dumas, P. Girard, C. Landrault et S. Pravossoudovitch, "An Implicit Delay-Fault Simulation Method with Approximate Detection Threshold Calculation", IEEE International Test Conference, pp. 705-713, Baltimore, USA, 17-21 Octobre 1993.
- [CO6] D. Dumas, P. Girard, C. Landrault et S. Pravossoudovitch, "Effectiveness of a Variable Sampling Time Strategy for Delay Fault Diagnosis", IEEE European Design and Test Conference, pp. 518-523, Paris, France, 28 Février-3 Mars 1994.
- [CO7] P. Girard, C. Landrault, S. Pravossoudovitch et B. Rodriguez, "A Trace-Based Method for Delay Fault Diagnosis in Synchronous Sequential Circuits", IEEE European Design and Test Conference, pp. 526-532, Paris, France, 20-23 Février 1995.
- [CO8] P. Cavallera, P. Girard, C. Landrault et S. Pravossoudovitch, "DFSIM: a Gate Delay Fault Simulator for Sequential Circuits", IEEE European Design and Test Conference, pp. 79-85, Paris, France, 11-14 Mars 1996.
- [CO9] P. Girard, C. Landrault, S. Pravossoudovitch et B. Rodriguez, "A Diagnostic ATPG for Delay Faults Based on Genetic Algorithms", IEEE International Test Conference, pp. 286-293, Washington, USA, 22-24 Octobre 1996.
- [CO10] P. Girard, C. Landrault, S. Pravossoudovitch et D. Severac, "A Technique to Reduce Power Consumption in CMOS Circuits", CPDA Design of Integrated Circuits and Systems Conference, pp. 697-698, Barcelone, Espagne, 20-22 Novembre 1996.
- [CO11] C. Fagot, P. Girard et C. Landrault, "On Using Machine Learning for Logic BIST", IEEE International Test Conference, pp. 338-346, Washington, USA, 3-5 Novembre 1997.
- [CO12] P. Girard, L. Guiller, C. Landrault, S. Pravossoudovitch, J. Figueras, S. Manich, P. Teixeira et M. Santos, "Low Power Pseudo-Random BIST: On Selecting the LFSR Seed", CPDA Design of Integrated Circuits and Systems Conference, pp. 166-172, Madrid, Espagne, 17-20 Novembre 1998.
- [CO13] S. Manich, A. Gabarro, J. Figueras, P. Girard, L. Guiller, C. Landrault, S. Pravossoudovitch, P. Teixeira et M. Santos, "Energy and Average Power Consumption Reduction in LFSR Based BIST Structures", CPDA Design of Integrated Circuits and Systems Conference, pp. 651-656, Palma de Mallorca, Espagne, 16-18 Novembre 1999.

- [CO14] P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, “Low Power BIST Design by Circuit Partitioning: Methodology and Architecture”, IEEE International Test Conference, pp. 652-661, Atlantic City, USA, 3-5 Octobre 2000.
- [CO15] R. David, P. Girard, C. Landrault, S. Pravossoudovitch et A. Virazel, “RSIC Generation: A Solution for Logic BIST”, IFIP International Conference on VLSI, pp. 111-117, Montpellier, France, 3-5 Décembre 2001.
- [CO16] Y. Bonhomme, P. Girard, C. Landrault et S. Pravossoudovitch, “Power Driven Chaining of Flip-flops in Scan Architectures”, IEEE International Test Conference, pp. 796-803, Baltimore, USA, 8-10 Octobre 2002.
- [CO17] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, “Efficient Scan Chain Design for Power Minimization During Scan Testing Under Routing Constraint”, IEEE International Test Conference, pp. 488-493, Charlotte, USA, 30 Septembre - 2 Octobre 2003.
- [CO18] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault, S. Pravossoudovitch et A. Virazel, “Design of Routing-Constrained Low Power Scan Chains”, ACM/IEEE Design, Automation and Test in Europe, pp. 62-67, Paris, France, 16-20 Février 2004.
- [CO19] L. Dilillo, P. Girard, S. Pravossoudovitch et A. Virazel, “Resistive-Open Defect Injection in SRAM Core-cell: Analysis and Comparison between 0.13 μm and 90 nm Technologies”, proposé à ACM/IEEE Design Automation Conference, Anaheim, USA, 13-17 Juin 2005.

SYMPOSIUMS AVEC COMITE DE LECTURE ET ACTES

- [SY1] P. Girard, C. Landrault et S. Pravossoudovitch, “Delay-Fault Diagnosis Based on Critical Path Tracing from Symbolic Simulation”, IEEE/ACM International Symposium on Circuits And Systems, pp. 1133-1136, San Diego, USA, 10-13 Mai 1992.
- [SY2] P. Cavallera, P. Girard, C. Landrault et S. Pravossoudovitch, “Delay Fault Propagation in Synchronous Sequential Circuits”, IEEE Asian Test Symposium, pp. 20-25, Nara, Japon, 15-17 Novembre 1994.
- [SY3] P. Girard, C. Landrault, S. Pravossoudovitch et B. Rodriguez, “Diagnostic of Path and Gate Delay Faults in Non-Scan Sequential Circuits”, IEEE VLSI Test Symposium, pp. 380-386, Princeton, USA, 30 Avril- 3 Mai 1995.
- [SY4] S. Cremoux, C. Fagot, P. Girard, C. Landrault et S. Pravossoudovitch, “A New Test Pattern Generation Method for Delay Fault Testing”, IEEE VLSI Test Symposium, pp. 296-301, Princeton, USA, 28 Avril- 1 Mai 1996.
- [SY5] P. Girard, C. Landrault, V. Moreda et S. Pravossoudovitch, “An optimized BIST Test Pattern Generator for Delay Testing”, IEEE VLSI Test Symposium, pp. 94-100, Monterey, USA, 27-30 Avril 1997.
- [SY6] P. Girard, C. Landrault, S. Pravossoudovitch et D. Severac, “A Gate Resizing Technique for High Reduction in Power Consumption”, ACM / SIGDA International Symposium on Low Power Electronics and Design, pp. 281-286, Monterey, USA, 18-20 Août 1997.
- [SY7] P. Girard, C. Landrault, S. Pravossoudovitch et D. Severac, “A Technique to Reduce Power Consumption in CMOS Circuits”, IEE International Symposium on IC Technology, Systems & Applications, pp. 526-529, Singapour, 10-12 Septembre 1997.

- [SY8] P. Girard, C. Landrault, S. Pravossoudovitch et D. Severac, "Reducing Power Consumption during Test Application by Test Vector Ordering", IEEE International Symposium on Circuits and Systems, CD-ROM, Monterey, USA, 1-3 Juin 1998.
- [SY9] C. Fagot, O. Gascuel, P. Girard et C. Landrault, "A Ring Architecture Strategy for BIST Test Pattern Generation", IEEE Asian Test Symposium, pp. 418-423, Singapour, 2-4 Décembre 1998.
- [SY10] P. Girard, C. Landrault, V. Moreda, S. Pravossoudovitch et A. Virazel, "A BIST Structure to Test Delay Faults in a Scan Environment", IEEE Asian Test Symposium, pp. 435-439, Singapour, 2-4 Décembre 1998.
- [SY11] P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, "A Test Vector Ordering Technique for Switching Activity Reduction during Test Operation", IEEE Great Lake Symposium on VLSI, pp. 24-27, Ann Arbor, USA, 4-6 Mars 1999.
- [SY12] P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, "A Test Vector Inhibiting Technique for Low Energy BIST Design", IEEE VLSI Test Symposium, pp. 407-412, Dana Point, USA, 26-28 Avril 1999.
- [SY13] P. Girard, L. Guiller, C. Landrault, S. Pravossoudovitch, J. Figueras, S. Manich, P. Teixeira et M. Santos, "Low-Energy BIST Design: Impact of the LFSR TPG Parameters on the Weighted Switching Activity", IEEE International Symposium on Circuits and Systems, CD-ROM, Orlando, USA, 31 Mai -2 Juin 1999.
- [SY14] P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, "Circuit Partitioning for Low Power BIST Design with Minimized Peak Power Consumption", IEEE Asian Test Symposium, pp. 89-94, Shanghai, Chine, 16-18 Novembre 1999.
- [SY15] L. Bréhelin, O. Gascuel, G. Caraux, P. Girard et C. Landrault, "Hidden Markov and Independence Models with Patterns for Sequential BIST", IEEE VLSI Test Symposium, pp. 359-367, Montreal, Canada, 30 Avril-4 Mai 2000.
- [SY16] P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, "An Adjacency-Based Test Pattern Generator for Low Power BIST Design", IEEE Asian Test Symposium, pp. 459-464, Taipei, Taiwan, 4-6 Décembre 2000.
- [SY17] P. Girard, L. Guiller, C. Landrault, S. Pravossoudovitch et H.J. Wunderlich, "A Modified Clock Scheme for a Low Power BIST Test Pattern Generator", IEEE VLSI Test Symposium, pp. 306-311, Los Angeles, USA, 29 Avril-3 Mai 2001.
- [SY18] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, "A Gated Clock Scheme for Low Power Scan Testing of Logic ICs or Embedded Cores", IEEE Asian Test Symposium, pp. 253-258, Kyoto, Japon, 19-21 Novembre 2001.
- [SY19] C. Fagot, O. Gascuel, P. Girard et C. Landrault, "A Ring Architecture Strategy for BIST Test Pattern Generation", 10th Anniversary Compendium of Selected Papers From IEEE Asian Test Symposium (1992-2001), pp. 269-274 (Originally Published in Proceedings of ATS'1998).
- [SY20] P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, "Circuit Partitioning for Low Power BIST Design with Minimized Peak Power Consumption", 10th Anniversary Compendium of Selected Papers From IEEE Asian Test Symposium (1992-2001), pp. 296-301 (Originally Published in Proceedings of ATS'1999).

- [SY21] R. David, P. Girard, C. Landrault, S. Pravossoudovitch et A. Virazel, “On Using Efficient Test Sequences for BIST”, IEEE VLSI Test Symposium, pp. 145-150, Monterey, USA, 28 Avril-2 Mai 2002.
- [SY22] P. Girard, O. Héron, S. Pravossoudovitch et M. Renovell, “Defect Analysis for Delay-Fault BIST in FPGAs”, IEEE International On-Line Testing Symposium, pp. 124-128, Kos, Grèce, 7-9 Juillet 2003.
- [SY23] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel et S. Borri, “Comparison of Open and Resistive-Open Defect Test Conditions in SRAM Address Decoders”, IEEE Asian Test Symposium, pp. 250-255, Xian, Chine, 16-19 Novembre 2003.
- [SY24] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel et S. Borri, “March iC-: An Improved Version of March C- for ADOFs Detection”, IEEE VLSI Test Symposium, Napa, USA, pp. 129-134, 25-29 Avril 2004.
- [SY25] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel, S. Borri et M. Hage-Hassan, “Dynamic Read Destructive Faults in Embedded SRAMs: Analysis and March Test Solution”, IEEE European Test Symposium, Ajaccio, France, pp. 140-145, 24-26 Mai 2004.
- [SY26] Y. Bonhomme, T. Yoneda, H. Fujiwara et P. Girard, “An Efficient Scan Tree Design for Test Time Reduction”, IEEE European Test Symposium, Ajaccio, France, pp. 174-179, 24-26 Mai 2004.
- [SY27] P. Girard, O. Héron, S. Pravossoudovitch et M. Renovell, “Manufacturing-Oriented Testing of Delay Faults in the Logic Architecture of Symmetrical FPGAs”, IEEE European Test Symposium, Ajaccio, France, pp. 52-57, 24-26 Mai 2004.
- [SY28] P. Girard, O. Héron, S. Pravossoudovitch et M. Renovell, “BIST of Delay Faults in the Logic Architecture of Symmetrical FPGAs”, IEEE International On-Line Testing Symposium, pp. 187-192, Madeire, Portugal, 12-14 Juillet 2004.
- [SY29] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel et S. Borri, “Resistive-Open Defects in Embedded-SRAM Core Cells: Analysis and March Test Solution”, IEEE Asian Test Symposium, Kenting, Taiwan, pp. 266-271, 15-17 Novembre 2004.
- [SY30] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel et M. Bastian Hage-Hassan, “Data Retention Fault in SRAM Memories: Analysis and Detection Procedures”, IEEE VLSI Test Symposium, Palm Springs, USA, 1-5 Mai 2005.
- [SY31] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel et M. Bastian Hage-Hassan, “Resistive-Open Defect Influence in SRAM Pre-charge Circuits: Analysis and Characterization”, propose à IEEE European Test Symposium, Tallinn, Estonie, 22-25 Mai 2005.
- [SY32] N. Badereddine, P. Girard, S. Pravossoudovitch, A. Virazel et C. Landrault, “Why Do We Need to Reduce Peak Power Consumption During Scan Capture ?”, proposé à IEEE European Test Symposium, Tallinn, Estonie, 22-25 Mai 2005.

WORKSHOPS AVEC COMITE DE LECTURE ET ACTES

- [WO1] P. Girard, C. Landrault et S. Pravossoudovitch, “Delay-Fault Diagnosis Based on Critical Path Tracing”, IEEE European Workshop on Design For Testability, Bruges, Belgique, 2-4 juin 1992.

- [WO2] P. Girard, C. Landrault, S. Pravossoudovitch et B. Rodriguez, “Diagnostic of Delay Faults in Non-Scan Sequential Circuits”, North Atlantic Test Workshop - European part, pp. 58-62, Cargese, Corse, France, 7-8 Juillet 1995.
- [WO3] P. Girard, C. Landrault, S. Pravossoudovitch et B. Rodriguez, “Diagnostic Test Pattern Generation for Delay Faults Using Genetic Algorithms”, IEEE European Test Workshop, pp. 249-253, Montpellier, France, 12-14 Juin 1996.
- [WO4] P. Girard, C. Landrault, V. Moreda et S. Pravossoudovitch “BIST and “Scan BIST” Structures for Delay Faults”, IEEE European Test Workshop, pp. 110-111, Cagliari, Italie, 28-30 Mai 1997.
- [WO5] C. Fagot, P. Girard et C. Landrault, “A Novel Approach for Logic BIST Based on Machine Learning”, IEEE International On-Line Testing Workshop, pp. 170-174, Crète, Grèce, 7-9 Juillet 1997.
- [WO6] P. Girard, C. Landrault, V. Moreda, S. Pravossoudovitch et A. Virazel, “A New Scan-BIST Structure to Test Delay Faults in Sequential Circuits”, IEEE European Test Workshop, pp. 44-48, Sitges, Espagne, 27-29 Mai 1998.
- [WO7] S. Manich, A. Gabarro, J. Figueras, P. Girard, L. Guiller, C. Landrault, S. Pravossoudovitch, P. Teixeira et M. Santos, “Low Power BIST by Filtering Non-Detecting Vectors”, IEEE European Test Workshop, pp. 165-170, Constance, Allemagne, 25-28 Mai 1999.
- [WO8] C. Fagot, O. Gascuel, P. Girard et C. Landrault, “On Calculating Efficient LFSR Seeds for Built-In Self Test”, IEEE European Test Workshop, pp. 7-14, Constance, Allemagne, 25-28 Mai 1999.
- [WO9] A. Virazel, R. David, P. Girard, C. Landrault et S. Pravossoudovitch, “Delay Fault Testing: Choosing Between Random SIC and Random MIC Test Sequences”, IEEE European Test Workshop, pp. 9-14, Carcais, Portugal, 23-26 Mai 2000.
- [WO10] A. Virazel, R. David, P. Girard, C. Landrault et S. Pravossoudovitch, “Comparison Between Random and Pseudo-Random Generation for BIST of Delay and Bridging Faults”, IEEE International On-Line Testing Workshop, pp. 121-126, Mallorca, Espagne, 3-5 Juillet 2000.
- [WO11] R. David, P. Girard, C. Landrault, S. Pravossoudovitch et A. Virazel,, “On Hardware Generation of Random Single Input Change Test Sequences”, IEEE European Test Workshop, pp. 299-305, Stockholm, Suède, 30 Mai-1 Juin 2001.
- [WO12] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, “A Gated Clock Scheme for Low Power Scan-Based BIST”, IEEE International On-Line Testing Workshop, pp. 87-89, Taormina, Italie, 9-11 Juillet 2001.
- [WO13] Y. Bonhomme, P. Girard, C. Landrault et S. Pravossoudovitch, “Efficient Scan Design for Low Power Test”, SAME: Sophia Antipolis forum on Microelectronics, pp. 58-61, Sophia Antipolis, France, 14-15 Novembre 2001.
- [WO14] Y. Bonhomme, P. Girard, C. Landrault et S. Pravossoudovitch, “Test Power: A Big Issue in Large SOC Designs”, IEEE International Workshop on Electronic Design, Test & Applications, pp. 447-449, Christchurch, Nouvelle-Zélande, 29-31 Janvier 2002.
- [WO15] Y. Bonhomme, P. Girard, C. Landrault et S. Pravossoudovitch,, “Scan Cell Ordering for Low Power Scan Testing”, IEEE European Test Workshop, Informal Digest, pp. 405-410, Corfu, Grèce, 26-29 Mai 2002.

- [WO16] P. Girard, O. Héron, S. Pravossoudovitch et M. Renovell, “Timing Defect Analysis in Look-Up Tables of SRAM-Based FPGAs”, IEEE Latin American Test Workshop, pp. 26-31, Natal, Brésil, 16-19 Février 2003.
- [WO17] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, “Efficient Scan Chain Design for Power Minimization During Scan Testing Under Routing Constraint”, IEEE European Test Workshop, Informal Digest, pp. 251-256, Maastricht, Pays-Bas, 25-28 Mai 2003.
- [WO18] P. Girard, O. Héron, S. Pravossoudovitch et M. Renovell, “Requirements for Delay Testing of Look-Up Tables in SRAM-Based FPGAs”, IEEE European Test Workshop, Formal Proceedings, pp. 147-152, Maastricht, Pays-Bas, 25-28 Mai 2003.
- [WO19] S. Borri, M. Hage Hassan, P. Girard, S. Pravossoudovitch et A. Virazel, “Defect-Oriented Dynamic Fault Models for Embedded-SRAMs”, IEEE European Test Workshop, Formal Proceedings, pp. 23-28, Maastricht, Pays-Bas, 25-28 Mai 2003.
- [WO20] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault, S. Pravossoudovitch et A. Virazel, “Design of Routing-Constrained Low Power Scan Chains”, IEEE International Workshop on Electronic Design, Test & Applications, pp. 287-292, Perth, Australie, 28-30 Janvier 2004.
- [WO21] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel et S. Borri, “March Tests Improvement for Address Decoder Open and Resistive Open Fault Detection”, IEEE Latin American Test Workshop, pp. 31-36, Cartagena, Colombie, 8-10 Mars 2004.
- [WO22] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel et M. Bastian Hage-Hassan, “Efficient Test of Dynamic Read Destructive Faults in SRAM Memories”, IEEE Latin American Test Workshop, Salvador Bahia, Brésil, 30 Mars – 2 Avril 2005.
- [WO23] N. Badereddine, P. Girard, S. Pravossoudovitch, C. Landrault et A. Virazel, “Peak Power Consumption during Scan Testing: Issue, Analysis and Heuristic Solution”, proposé à IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, Sopron, Hongrie, 13-16 Avril 2005.
- [WO24] Y. Bonhomme, T. Yoneda, H. Fujiwara et P. Girard, “Test Application Time Reduction with a Dynamically Reconfigurable Scan Tree Architecture”, proposé à IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems, Sopron, Hongrie, 13-16 Avril 2005.

WORKSHOPS INTERNATIONAUX AVEC ACTES A DIFFUSION RESTREINTE

- [WR1] P. Girard, C. Landrault et S. Pravossoudovitch, “Delay Fault Diagnosis in Digital Circuits”, ATSEC Open Workshop (ESPRIT III Basic Research), Turin, Italie, 27-29 Septembre 1993.
- [WR2] P. Girard, C. Landrault et S. Pravossoudovitch, “Diagnostic and Simulation for Delay Faults in Digital Circuits”, ATSEC Open Workshop (ESPRIT III Basic Research), Enschede, Pays-Bas, 6-7 Septembre 1994.
- [WR3] P. Girard, C. Landrault et S. Pravossoudovitch, “Diagnostic and Simulation of Delay Faults in Combinational and Sequential Circuits”, ARCHIMEDES / ATSEC Open Workshop (ESPRIT III Basic Research), Sankt Augustin, Allemagne, 28-29 Septembre 1995.
- [WR4] P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, “Low Power/Energy BIST Design by Partitioning VLSI Circuits”, SAME: Sophia Antipolis forum on Microelectronics, Sophia Antipolis, France, 21-22 October 1999.

COLLOQUES NATIONAUX

- [CN1] P. Girard, C. Landrault et S. Pravossoudovitch, “Diagnostic de Pannes Temporelles dans les Circuits Digitaux”, Journée AFCET : Sureté de fonctionnement des systèmes informatiques, Paris, France, 8 Février 1994.
- [CN2] P. Girard, C. Landrault, S. Pravossoudovitch et D. Severac, “Re-dimensionnement de portes des circuits CMOS pour une réduction de la consommation de puissance”, Colloque CAO de circuits intégrés et systèmes, Grenoble (Villard de Lans), 15-17 Janvier 1997.
- [CN3] P. Girard, C. Landrault, V. Moreda et S. Pravossoudovitch, “Générateur de Vecteurs de Test Intégré pour Pannes Temporelles”, Colloque CAO de circuits intégrés et systèmes, Grenoble (Villard de Lans), 15-17 Janvier 1997.
- [CN4] P. Girard, C. Landrault, S. Pravossoudovitch et A. Virazel, “Analyse des Capacités de Test de Générateurs Intégrés Produisant des Vecteurs Adjacents”, Colloque CAO de circuits intégrés et systèmes, Aix en Provence, 10-12 Mai 1999.
- [CN5] P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, “Stratégie de Réduction de la Consommation d’Energie lors du Test des Circuits Intégrés”, Colloque CAO de circuits intégrés et systèmes, Aix en Provence, 10-12 Mai 1999.
- [CN6] P. Girard, O. Heron, S. Pravossoudovitch et M. Renovell, “Pannes Temporelles dans les FPGA”, Colloque CAO de circuits intégrés et systèmes, Paris, 15-17 Mai 2002.
- [CN7] L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel, S. Borri et M. Hage-Hassan, “Test March pour la Détection des Fautes Dynamiques dans les Décodeurs de Mémoires SRAM”, Journées Nationales du Réseau Doctoral de Microélectronique, Marseille, 4-6 Mai 2004.

PRESENTATIONS DIVERSES

- [PD1] P. Girard, “Diagnostic and Simulation of Delay Faults in Digital Circuits”, Invité par la société Lucent Technologies (Bell Labs), Murray Hill, USA, Mai 1996.
- [PD2] P. Girard, “Testing Delay Faults in Scan-Based Designs”, Invité par la société Intel, Santa Clara, USA, Mars 2000.
- [PD3] P. Girard, “Considering Power Consumption during Scan Testing and BIST”, Invité par la société Synopsys, Mountain View, USA, Avril 2001.
- [PD4] P. Girard, “Delay Fault Testing in Logic ICs”, Invité par la société Infineon, Sophia Antipolis, France, Janvier 2002.
- [PD5] P. Girard, “Low Power BIST of VLSI Circuits”, Invité par la société Philips, Eindhoven, Pays-Bas, Septembre 2002.
- [PD6] P. Girard, “Test de Fautes de Délai dans les Circuits Intégrés Numériques”, Réunion Action Spécifique CNRS “TestSOC-MRF”, Montpellier, France, 5 Mars 2004.

RAPPORTS DE CONTRAT

- [RC1] D. Dumas, P. Girard, C. Landrault et S. Pravossoudovitch, “Determination of delay fault detectability conditions”, Rapport final tâche WP2-5, Contrat ESPRIT III Basic Research “ATSEC”, Janvier 1994.

- [RC2] D. Dumas, P. Girard, C. Landrault et S. Pravossoudovitch, “Evaluation of delay fault diagnosis possibilities by critical path tracing algorithms”, Rapport final tâche WP2-6, Contrat ESPRIT III Basic Research “ATSEC”, Janvier 1994.
- [RC3] D. Dumas, P. Girard, C. Landrault et S. Pravossoudovitch, “Software Prototype for Delay Fault Diagnosis in Combinational Circuits”, Rapport final tâche WP2-7, Contrat ESPRIT III Basic Research “ATSEC”, Janvier 1994.
- [RC4] P. Cavallera, P. Girard, C. Landrault, S. Pravossoudovitch et B. Rodriguez, “Proposition of a Sequential Delay Fault Diagnosis Method and Algorithm”, Rapport final tâche WP 2-7, Contrat ESPRIT III Basic Research, “ATSEC”, Janvier 1995.
- [RC5] P. Cavallera, P. Girard, C. Landrault, S. Pravossoudovitch et B. Rodriguez, “Proposition of a Sequential Delay Fault Diagnosis Method and Algorithm”, Rapport final tâche WP 2-8, Contrat ESPRIT III Basic Research “ATSEC”, Janvier 1995.
- [RC6] P. Cavallera, P. Girard, C. Landrault, S. Pravossoudovitch et B. Rodriguez, “DFSIM: A Delay Fault Simulator for Sequential Circuits”, Rapport final tâche WP 3-9, Contrat ESPRIT III Basic Research “ATSEC”, Octobre 1995.
- [RC7] P. Cavallera, P. Girard, C. Landrault, S. Pravossoudovitch et B. Rodriguez, “Description of the Delay Fault Diagnostic Tool for Sequential Circuits”, Rapport final tâche WP 3-10, Contrat ESPRIT III Basic Research ”ATSEC”, Octobre 1995.
- [RC8] D. Auvergne, F. Azais, N. Azemard, Y. Bertrand, C. Dufaza, P. Girard, S. Pravossoudovitch et M. Renovell, Rapport intermédiaire, tâche WP4.1, Contrat EEC-JESSI-EUREKA Project MEDEA AT406, December 1997.
- [RC9] D. Auvergne, F. Azais, N. Azemard, Y. Bertrand, C. Dufaza, P. Girard, S. Pravossoudovitch et M. Renovell, Rapport intermédiaire, tâche WP4.1, Contrat EEC-JESSI-EUREKA Project MEDEA AT 406, Juin 1998.
- [RC10] D. Auvergne, F. Azais, N. Azemard, Y. Bertrand, C. Dufaza, P. Girard, S. Pravossoudovitch et M. Renovell, Rapport Intermédiaire, tâche WP4.1, Contrat EEC-JESSI-EUREKA Project MEDEA AT406, Décembre 1998.
- [RC11] D. Auvergne, F. Azais, N. Azemard, Y. Bertrand, C. Dufaza, P. Girard, S. Pravossoudovitch et M. Renovell, Rapport final, tâches WP1.2 et WP4.1, Contrat EEC-JESSI-EUREKA Project MEDEA AT406, 6 Janvier 2000.
- [RC12] D. Auvergne, S. Pravossoudovitch, F. Azais, N. Azemard, Y. Bertrand, C. Dufaza, P. Girard et M. Renovell, Rapport final, Version 1.1, Contrat EEC-JESSI-EUREKA Project MEDEA AT406, 8 Janvier 2001.
- [RC13] P. Girard, M. Renovell, S. Bernard, M.L. Flottes, C. Landrault, S. Pravossoudovitch, et B. Rouzeyre, Rapport technique de fin d’année, Contrat CEE ASSOCIATE A503 “Advanced Solutions for Innovative SOC Testing in Europe”, Programme MEDEA+, 25 Janvier 2002.
- [RC14] P. Girard, M. Renovell, S. Bernard, M.L. Flottes, C. Landrault, S. Pravossoudovitch, et B. Rouzeyre, Rapport technique intermédiaire, Contrat CEE ASSOCIATE A503 “Advanced Solutions for Innovative SOC Testing in Europe”, Programme MEDEA+, 19 Juillet 2002.
- [RC15] P. Girard, M. Renovell, S. Bernard, M.L. Flottes, C. Landrault, S. Pravossoudovitch, et B. Rouzeyre, Rapport technique de fin d’année, Contrat CEE ASSOCIATE A503 “Advanced Solutions for Innovative SOC Testing in Europe”, Programme MEDEA+, Janvier 2003.

- [RC16] P. Girard, N. Azemard et D. Auvergne, Premier rapport de management du projet (PMR1), Contrat CEE MARLOW “A Central Market Place for Dissemination of Low Power Microelectronics Design Knowledge”, Réseau Thématique, Programme IST-2001-37115, Deliverable R5.1, Avril 2003.
- [RC17] P. Girard, M. Renovell, S. Bernard, M.L. Flottes, C. Landrault, S. Pravossoudovitch, et B. Rouzeyre, Rapport technique intermédiaire, Contrat CEE ASSOCIATE A503 “Advanced Solutions for Innovative SOC Testing in Europe”, Programme MEDEA+, Juillet 2003.
- [RC18] N. Azemard, P. Girard et D. Auvergne, Premier rapport d’avancement du projet (PPR1), Contrat CEE MARLOW “A Central Market Place for Dissemination of Low Power Microelectronics Design Knowledge”, Réseau Thématique, Programme IST-2001-37115, Deliverable D5.2, Octobre 2003.
- [RC19] P. Girard, M. Renovell, S. Bernard, M.L. Flottes, S. Pravossoudovitch, et B. Rouzeyre, Rapport technique de fin d’année, Contrat CEE ASSOCIATE A503 “Advanced Solutions for Innovative SOC Testing in Europe”, Programme MEDEA+, Janvier 2004.
- [RC20] P. Girard et N. Azemard, Second rapport de management du projet (PMR2), Contrat CEE MARLOW “A Central Market Place for Dissemination of Low Power Microelectronics Design Knowledge”, Réseau Thématique, Programme IST-2001-37115, Deliverable R5.3, Avril 2004.
- [RC21] P. Girard, M. Renovell, S. Bernard, M.L. Flottes, S. Pravossoudovitch, et B. Rouzeyre, Rapport technique final, Contrat CEE ASSOCIATE A503 “Advanced Solutions for Innovative SOC Testing in Europe”, Programme MEDEA+, Juillet 2004.
- [RC22] P. Girard et N. Azemard, Second rapport d’avancement du projet (PPR2), Contrat CEE MARLOW “A Central Market Place for Dissemination of Low Power Microelectronics Design Knowledge”, Réseau Thématique, Programme IST-2001-37115, Deliverable D5.4, Avril 2004.

3. LES CINQ PUBLICATIONS LES PLUS SIGNIFICATIVES

1. P. Girard, C. Landrault et S. Pravossoudovitch, "Delay-Fault Diagnosis by Critical Path Tracing", IEEE Design & Test of Computers, vol. 9, n° 4, pp. 27-32, Décembre 1992.

Article de revue qui résume une partie de mes activités doctorales sur le diagnostic de pannes temporelles dans les circuits digitaux. La revue IEEE Design & Test of Computers est une des revues en microélectronique ayant un facteur d'impact très élevé.

2. P. Girard, "Survey of Low-Power Testing of VLSI Circuits", IEEE Design & Test of Computers, vol. 19, n° 3, pp. 82-92, May-June 2002.

Article de revue qui est un état de l'art sur le test faible consommation en 2002.

3. C. Fagot, O. Gascuel, P. Girard et C. Landrault "A Ring Architecture Strategy for BIST Test Pattern Generation", JETTA Journal of Electronic Testing - Theory and Applications, Vol. 19, N° 3, pp. 223-231, June 2003.

Article de revue qui reporte une partie des travaux menés en collaboration avec le département d'Informatique Fondamentale du LIRMM sur le test par des techniques d'Apprentissage. La revue JETTA est une des revues en microélectronique ayant le facteur d'impact le plus élevé.

4. Y. Bonhomme, P. Girard, L. Guiller, C. Landrault et S. Pravossoudovitch, "Efficient Scan Chain Design for Power Minimization During Scan Testing Under Routing Constraint", IEEE International Test Conference, Charlotte, USA, pp. 488-493, 30 Septembre - 2 Octobre 2003.

Cet article résume les travaux effectués en collaboration avec la société Synopsys USA sur le test faible consommation. J'ai présenté ces travaux lors de la conférence ITC 2003 à Charlotte. La conférence ITC est la conférence la plus importante et la plus prestigieuse dans le domaine du Test.

5. L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel et S. Borri, "March iC-: An Improved Version of March C- for ADOFs Detection", IEEE VLSI Test Symposium, pp. 129-134, Napa, USA, 25-29 Avril 2004.

Cet article relate une partie des travaux effectués en collaboration avec la société Infineon sur le test de pannes temporelles dans les mémoires SRAM. Ces travaux ont été effectués dans le cadre du projet européen MEDEA+ ASSOCIATE.