

LIRMM

Magnétisme et architectures reconfigurables

Nicolas Bruchon

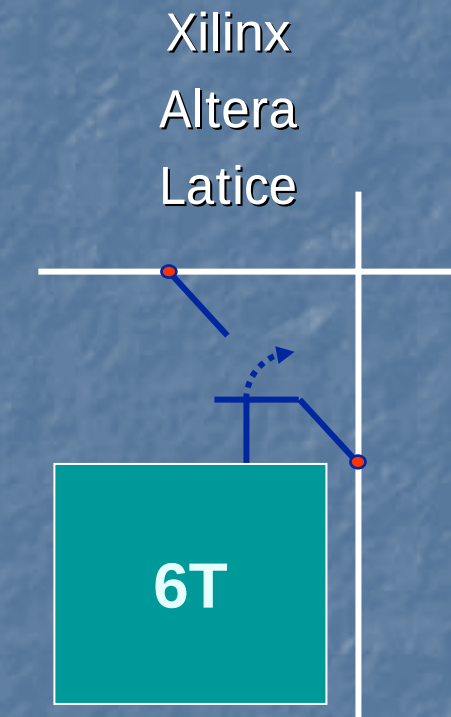
Lionel Torres, Gilles Sassatelli, Gaston Cambon

bruchon@lirmm.fr

Sommaire

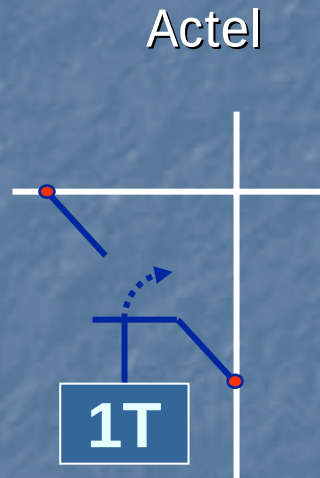
- Contexte
- Jonctions tunnel magnétiques
 - Différentes générations
 - Conversion magnétique / électrique
- FPGA à mémoire de configuration magnétique
 - Remanent SRAM (RSRAM)
 - Reconfiguration masquée
 - Multi-contexte
- Conclusion

Contexte



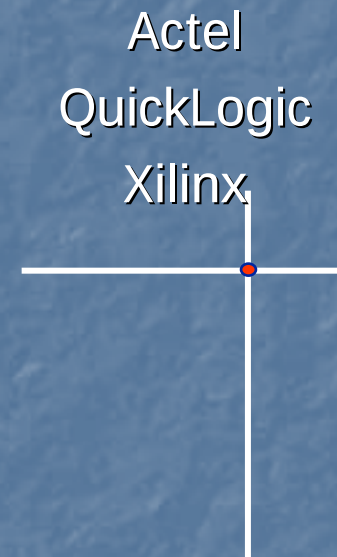
SRAM
Reprogrammable

volatile



FLASH
Reprogrammable

Non - volatile



Anti-fusibles

Non - volatile

Contexte

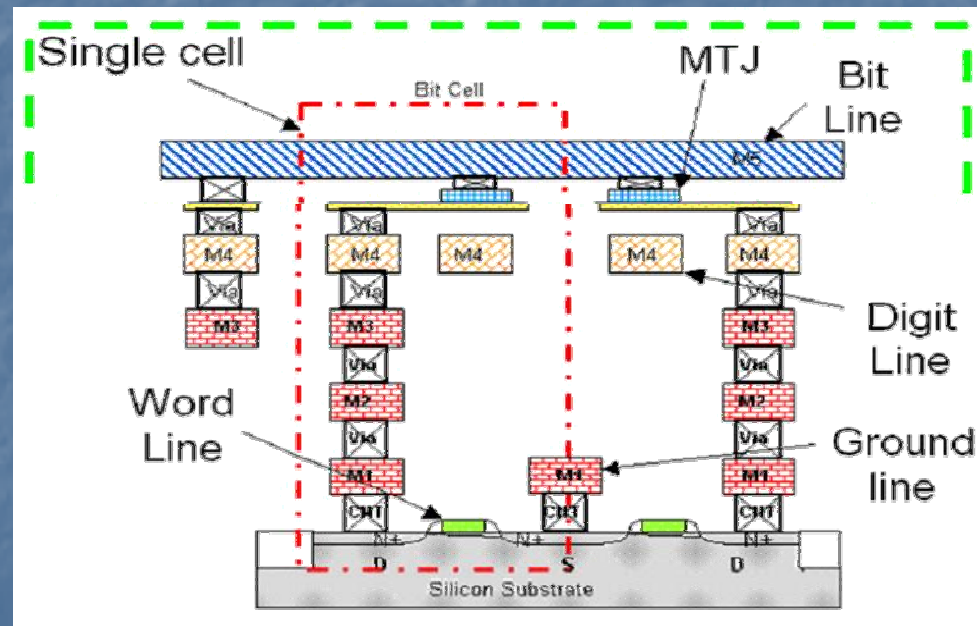
- Non volatilité, pourquoi?
 - Fonctionnel à la mise sous tension
 - Diminution de la consommation
 - Protection des informations

Jonctions tunnel magnétiques

- Cycles d'écriture / lecture rapides ($\sim 30\text{ns}$)
- Tensions d'écriture compatibles CMOS (1-2V)
- Forte densité
- Robustesse aux radiations
- Peu de masques additionnels (3)
- Process compatible CMOS (post process)

Jonctions tunnel magnétiques

- Above IC

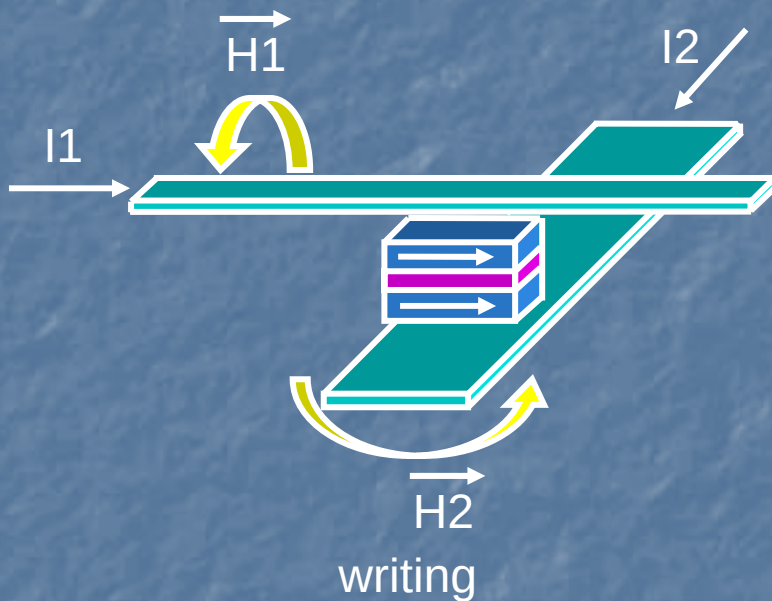


Jonctions tunnel magnétiques

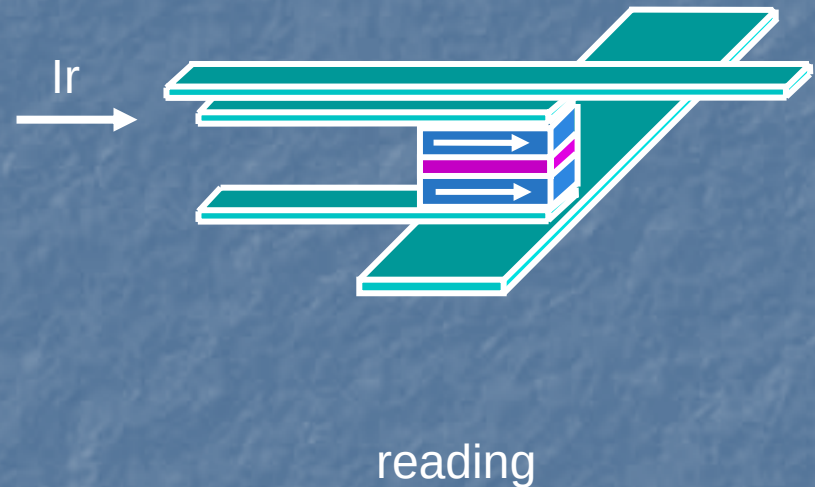
- 3 générations:
 - Field Induced Magnetic Switching (FIMS)
 - Thermal Assisted Switching (TAS)
 - Spin Torque Transfer (STT)

Jonctions tunnel magnétiques

■ FIMS



Parallel orientation
Low resistance

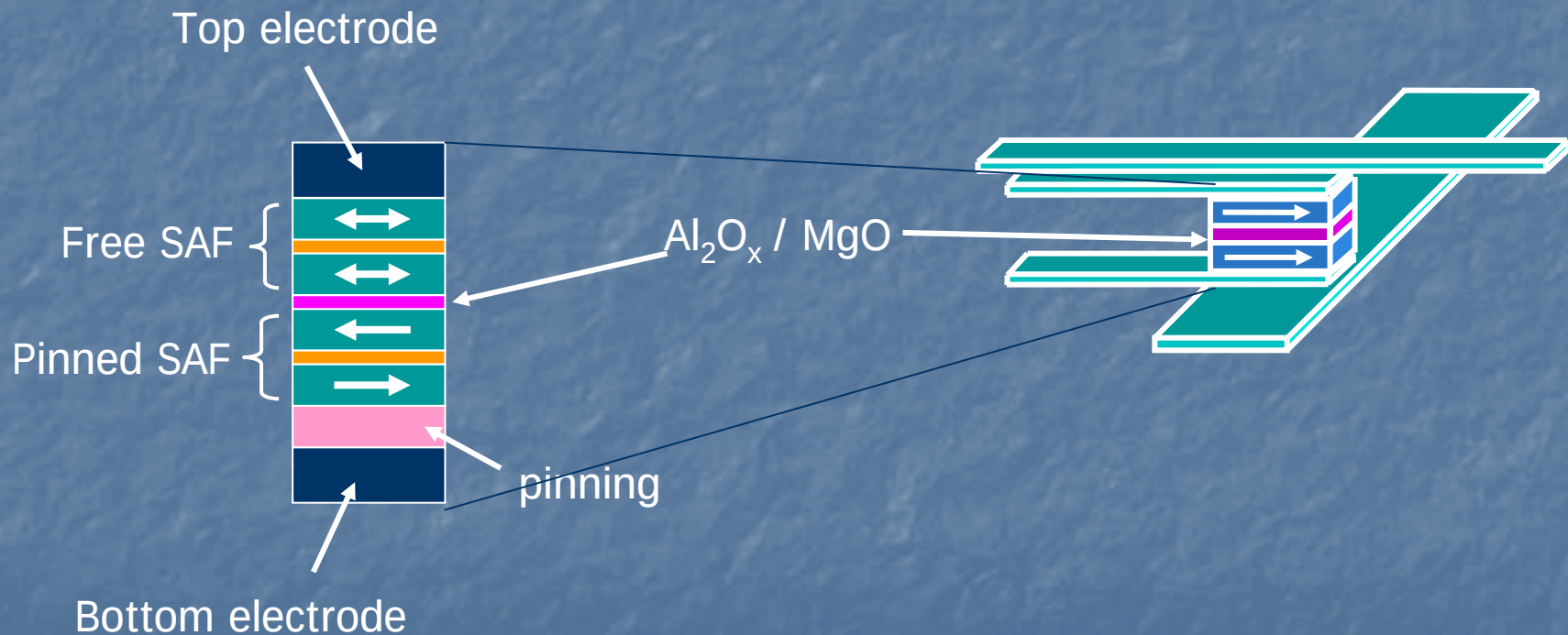


$$\text{TMR} = \frac{R_{\text{max}} - R_{\text{min}}}{R_{\text{min}}} \sim 40 \text{ to } 220\%$$

$$R_{\text{min}} \sim 3\text{k}\Omega - 10\text{M}\Omega$$

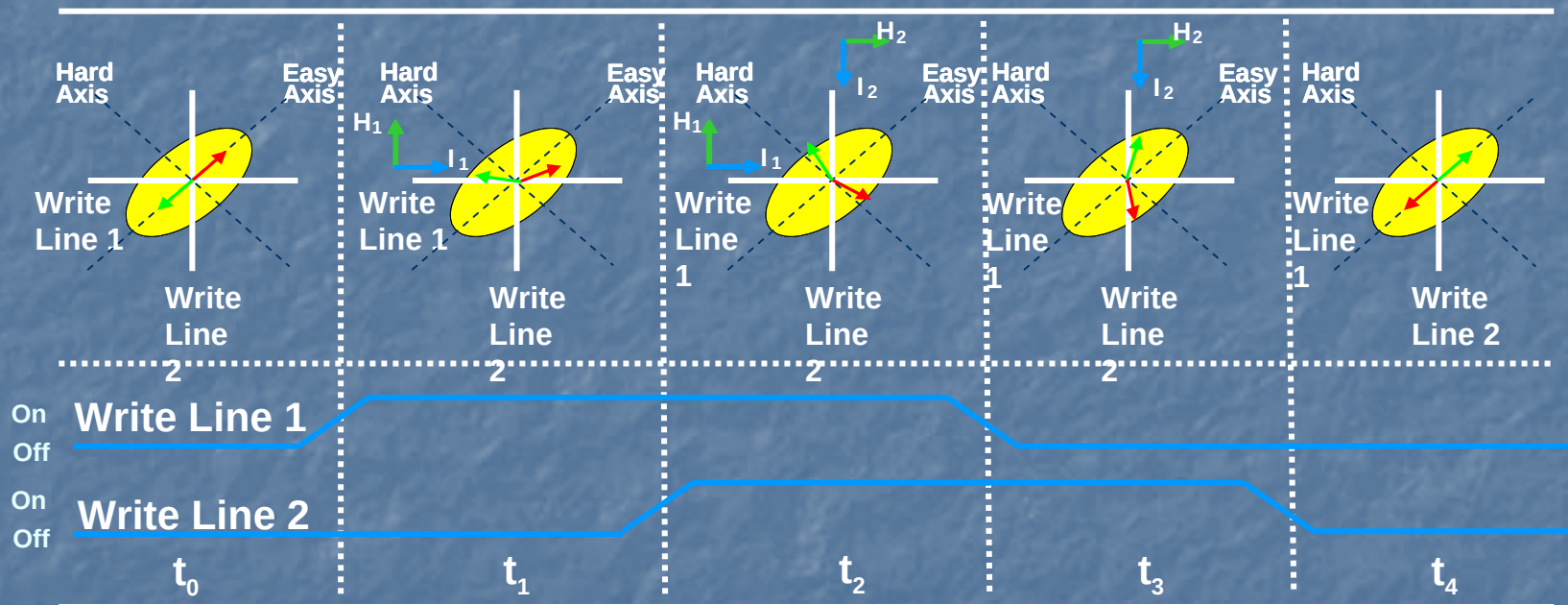
Jonctions tunnel magnétiques

■ Toggle



Jonctions tunnel magnétiques

■ Toggle



Slaughter, CNS Symposium, 2004.

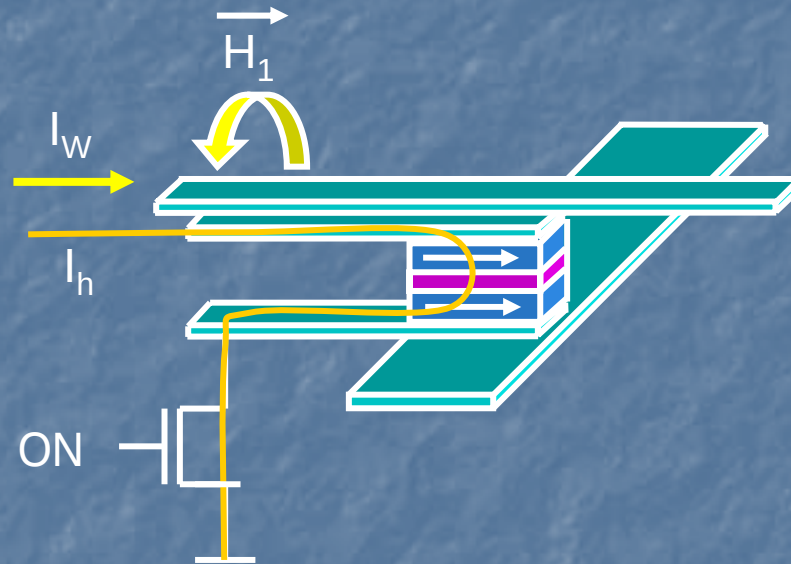
Freescale, IBM...

Jonctions tunnel magnétiques

- Jonctions de première génération
 - Courants d'écriture élevés (10mA)
 - Grandes lignes d'écriture
 - Gros transistors
 - 1/2 sélectivité
- Problèmes de scalabilité

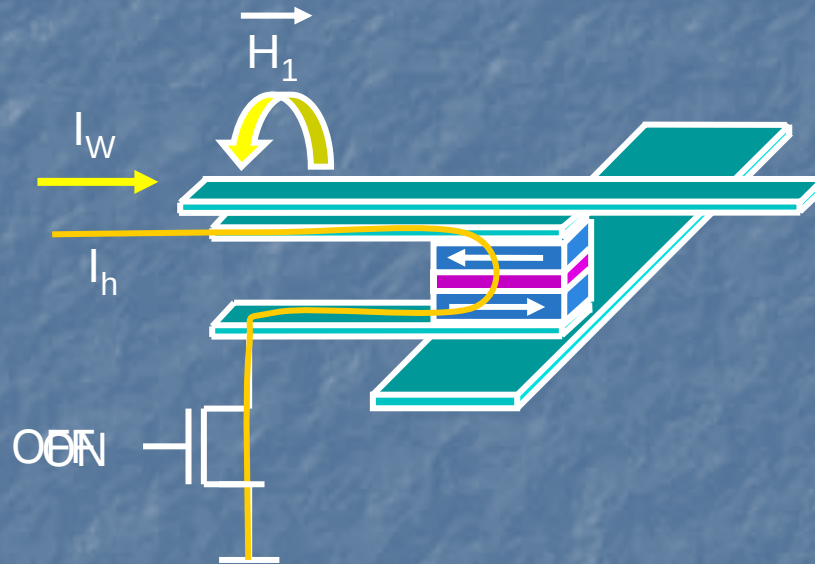
Jonctions tunnel magnétiques

■ TAS



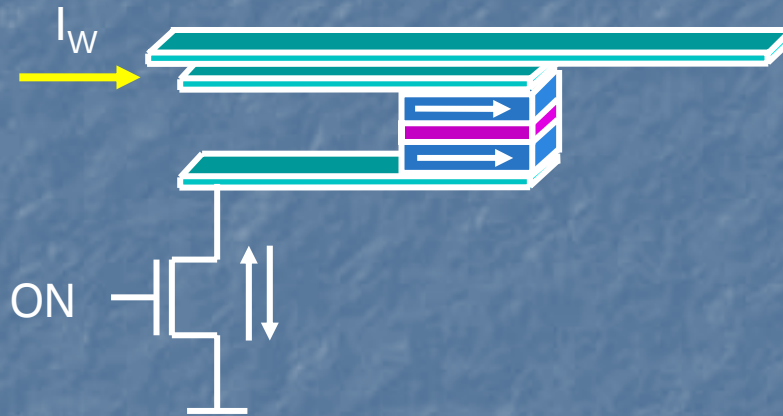
Jonctions tunnel magnétiques

■ TAS



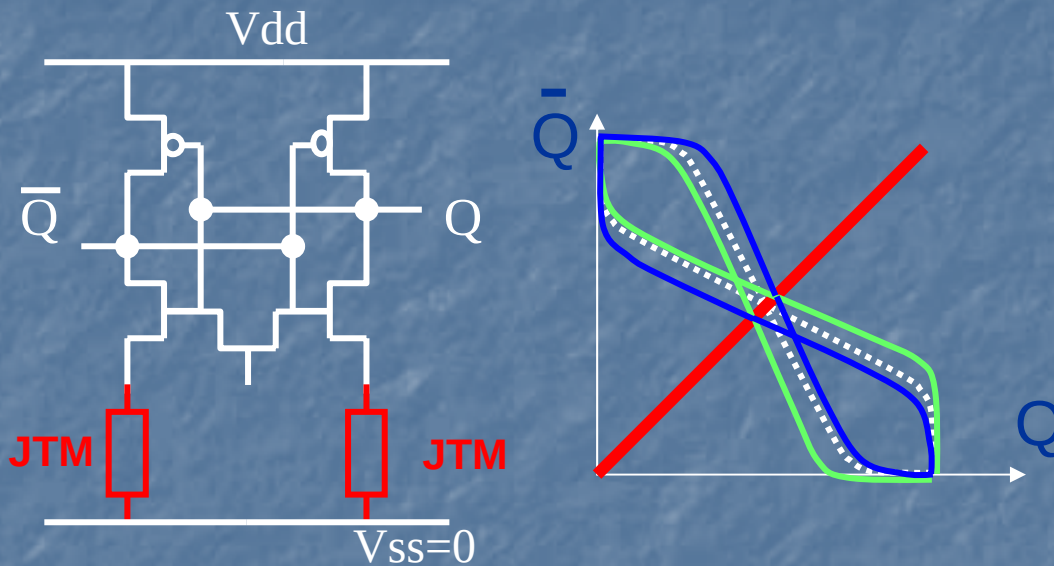
Jonctions tunnel magnétiques

■ STT

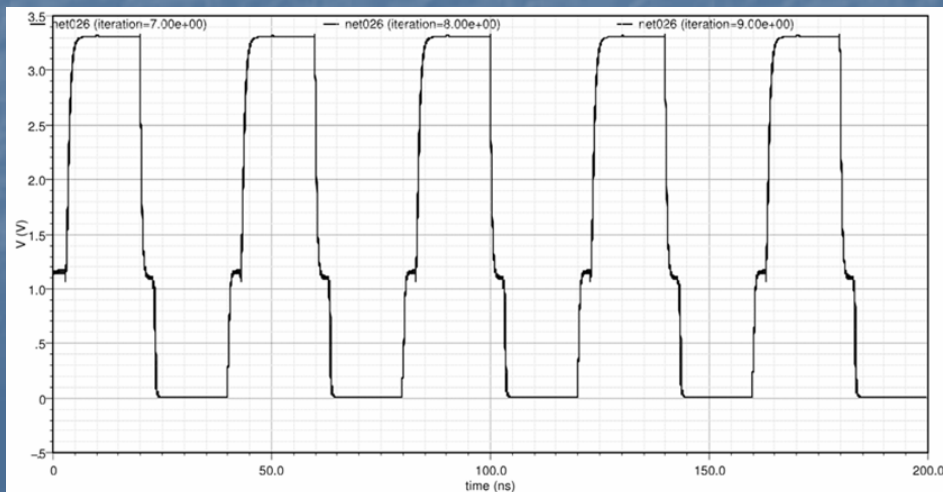


Courants d'écriture: $\sim 120\mu\text{A}$

RSRAM

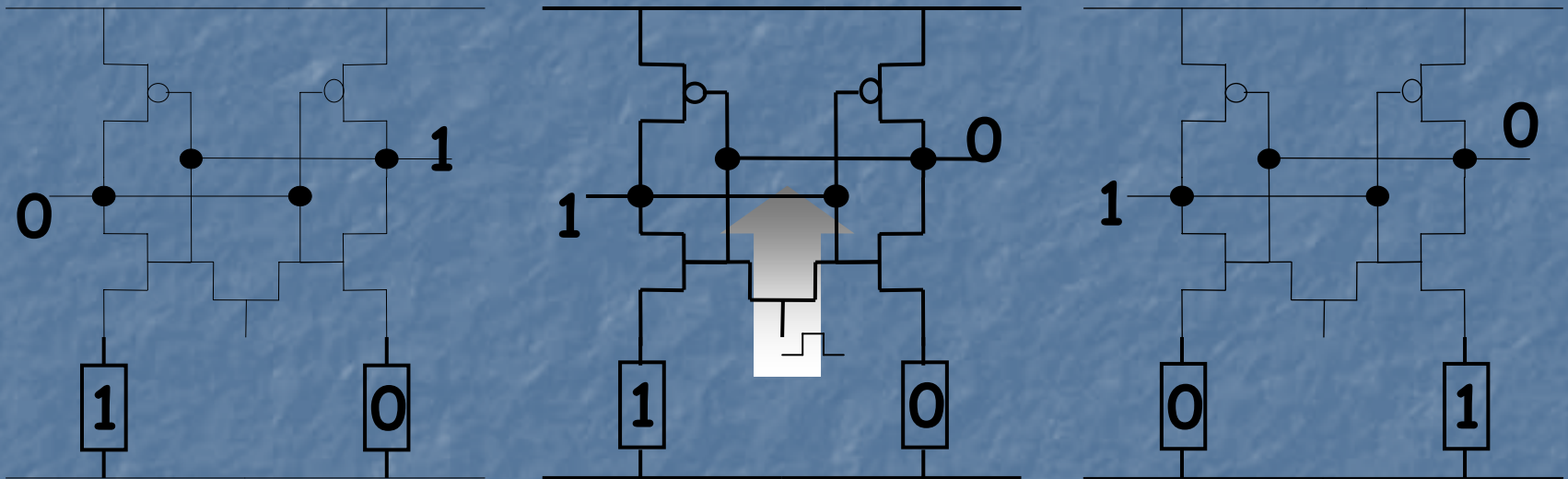


- Reconfiguration masquée
- Reconfiguration dynamique
- Reconfiguration complète en un cycle d'horloge
- Reconfiguration partielle
- Multi-contexte faible coût
- Robustesse aux radiations



RSRAM

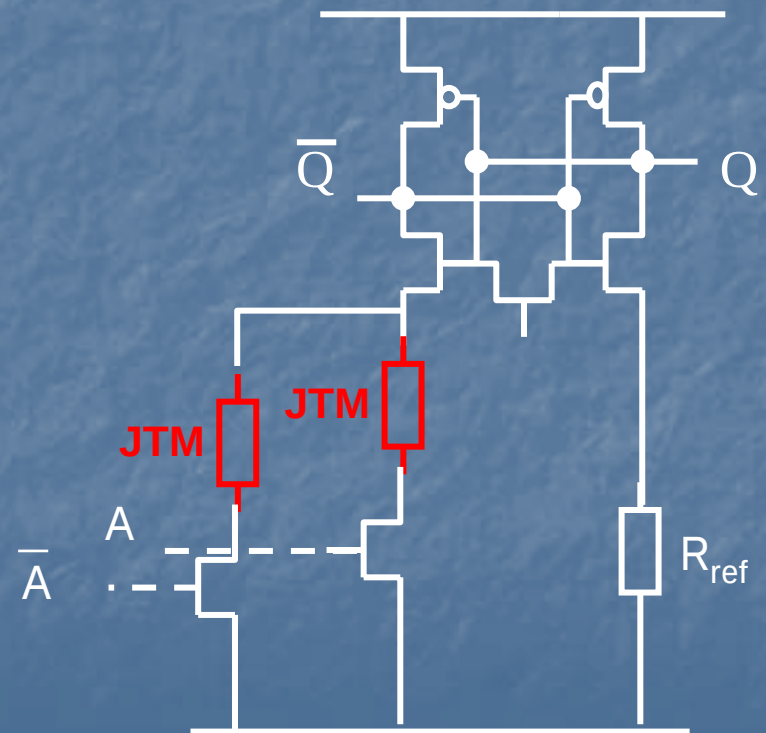
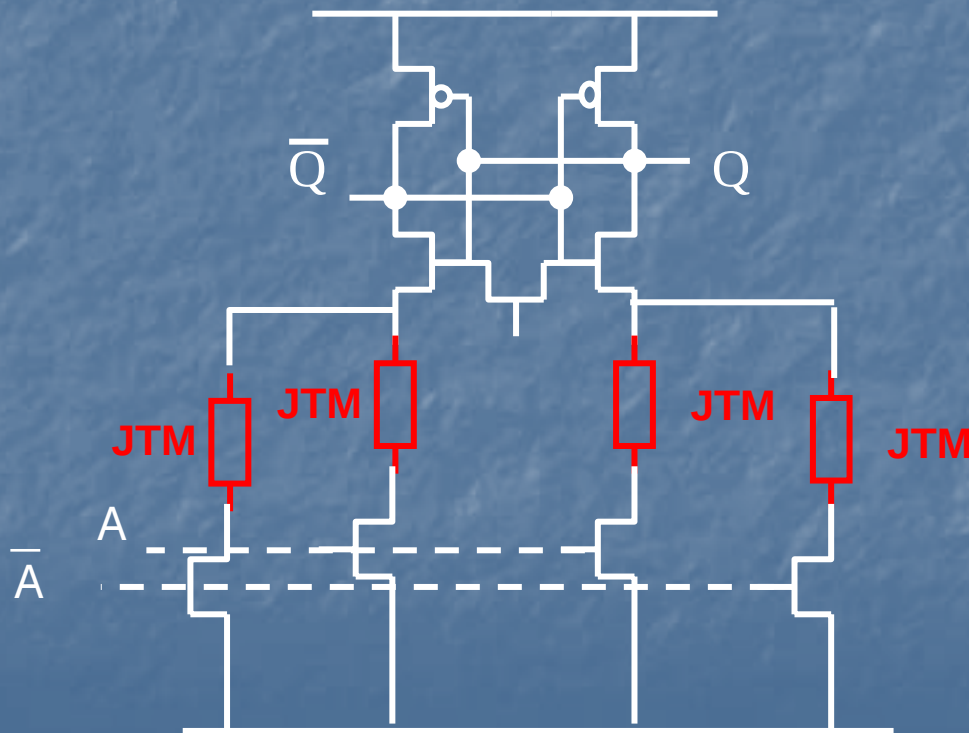
■ Reconfiguration masquée



■ Reconfiguration globale en un cycle

RSRAM

■ Multi-contextes



RSRAM

- Étude / simulations sur la RSRAM (dimensionnement, dispersions...)
- Validation CMOS (AMS 0.35 μ)

