

CONCEPTION ET TEST DE CIs

3. METHODES ET OUTILS DE CONCEPTION DES CIs

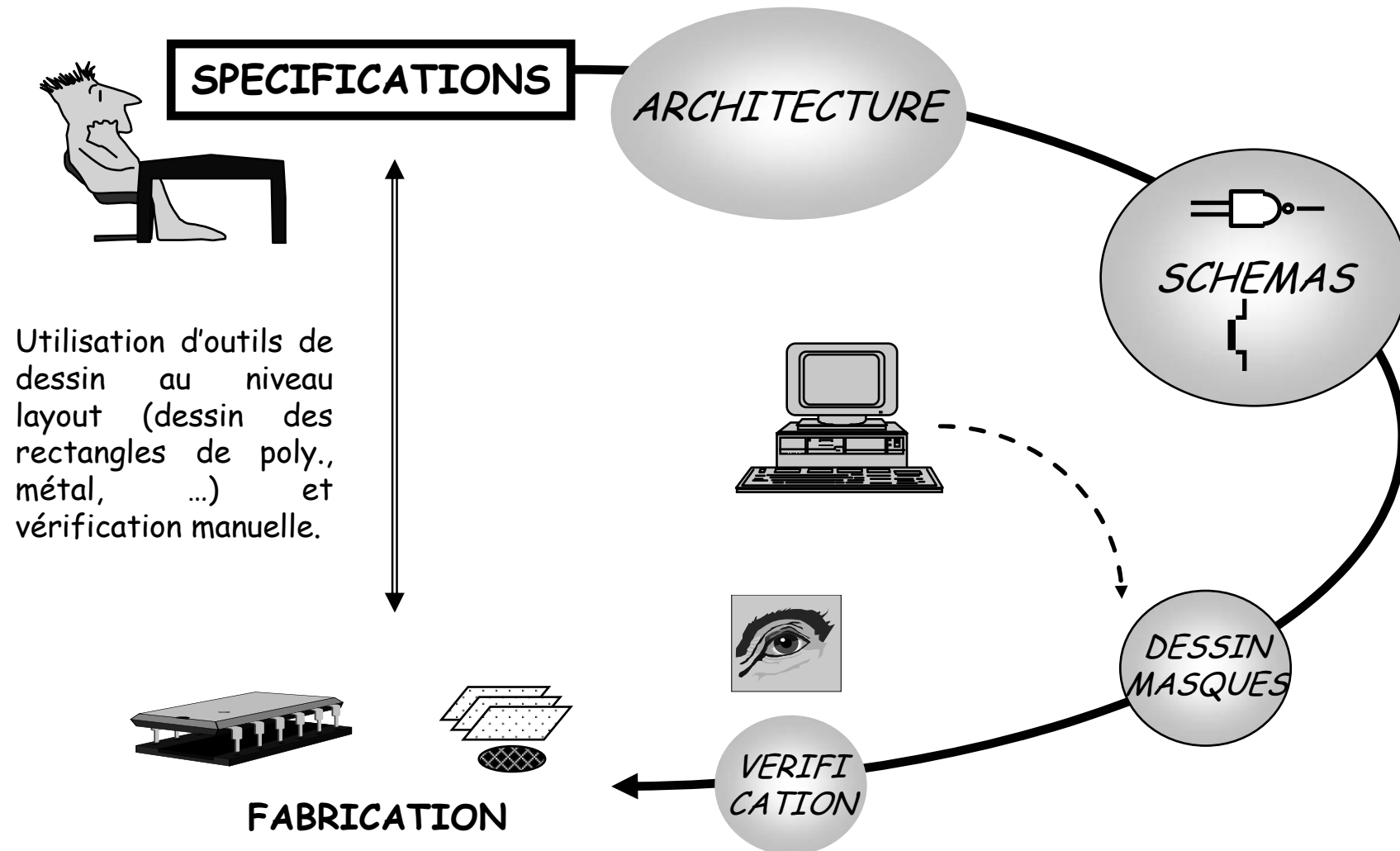
3.1 Introduction

3.2 Méthodologies de conception des ASICs

3.3 Conception des Circuits Programmables

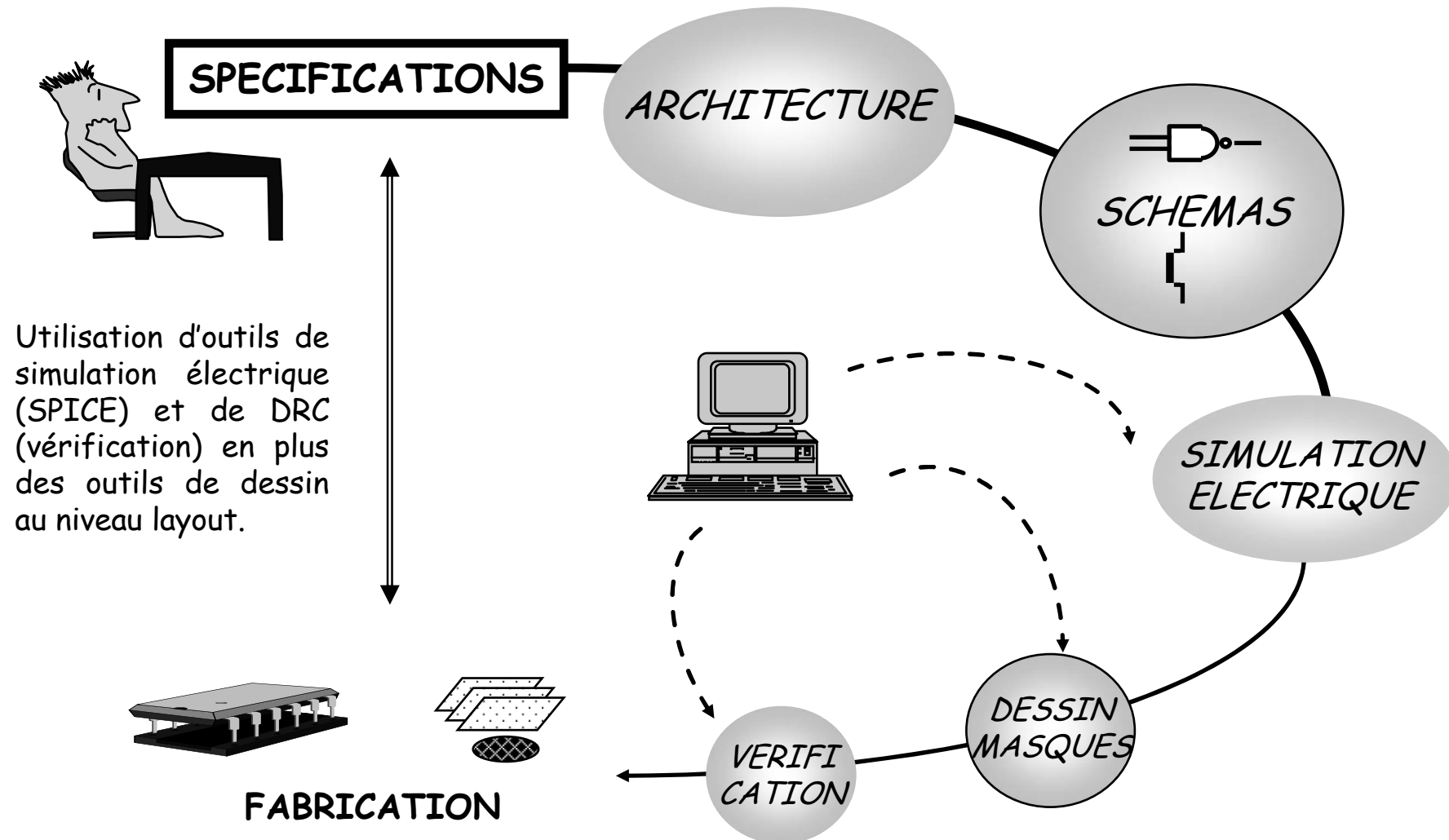
3. METHODES ET OUTILS - Introduction

Avant 1980 : tous les circuits étaient "sur mesure"



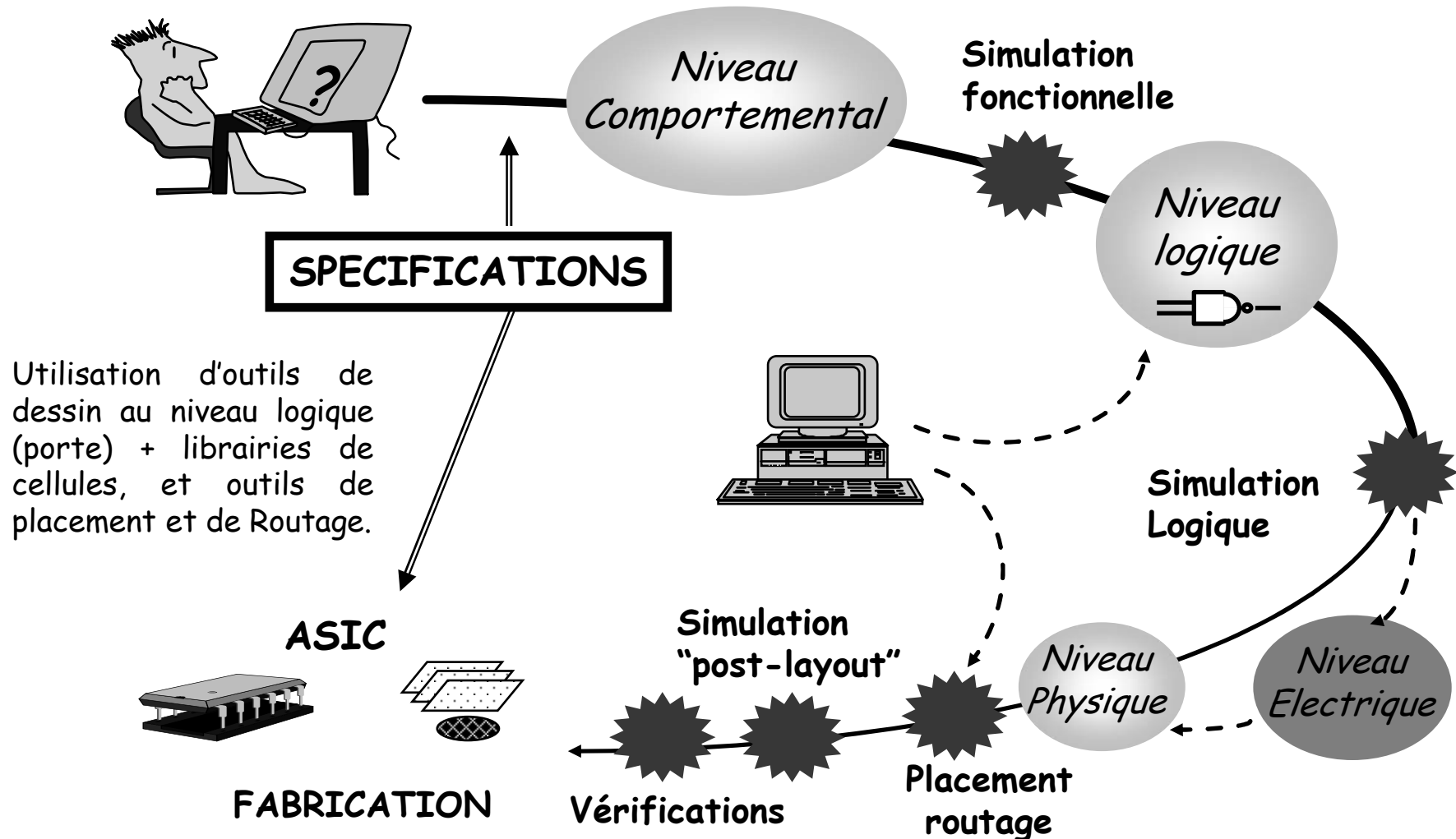
3. METHODES ET OUTILS - Introduction

Au début des années 1980 : apparition de la CAO



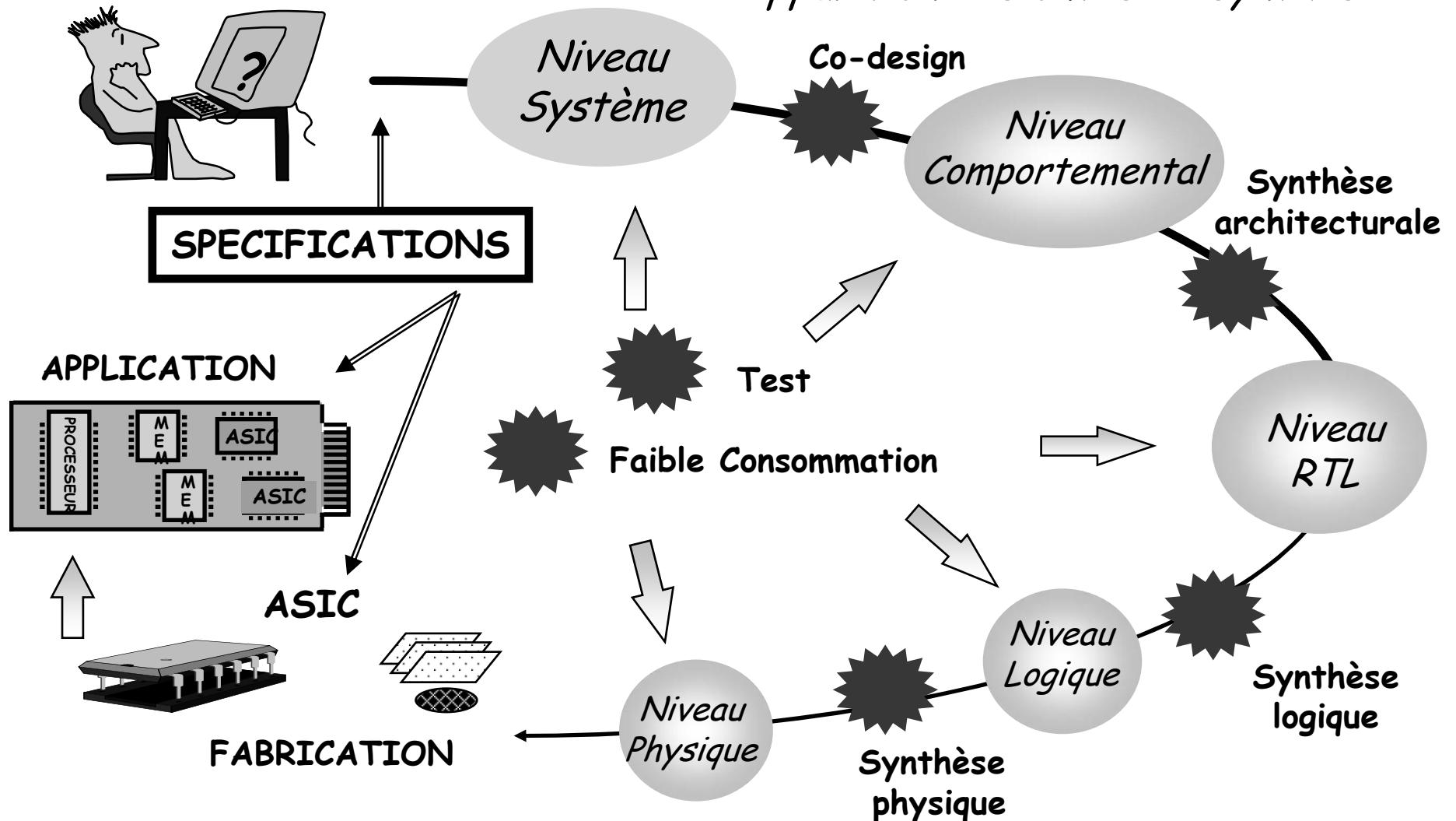
3. METHODES ET OUTILS - Introduction

Entre 1980 et 1990 : apparition des ASICs, évolution de la CAO



3. METHODES ET OUTILS - Introduction

*Au milieu des années 1990 : Co-Design, évolution de la CAO,
Apparition des outils de synthèse*



3. METHODES ET OUTILS - Introduction

Spécification d'un CI

✧ EVALUATION D'UN CAHIER DES CHARGES :

- Aspects techniques

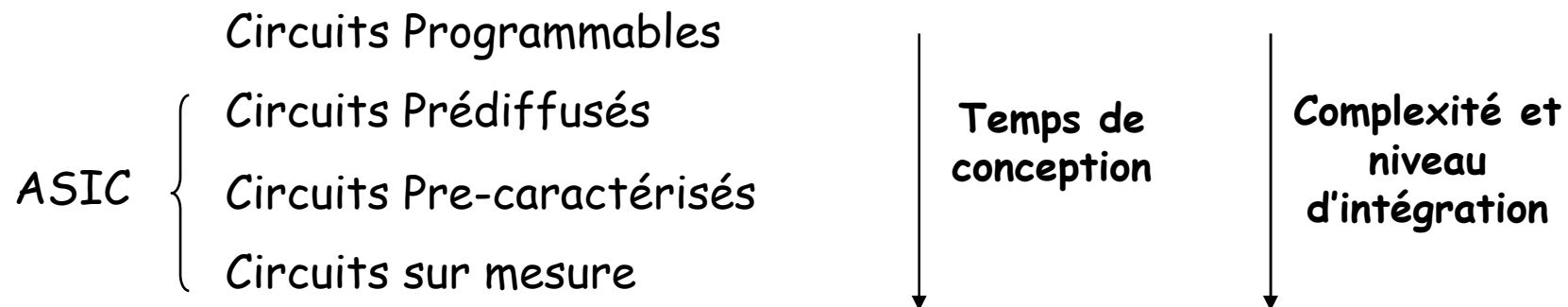
- complexité (nombre de portes, Entrées/Sorties,...)
- performances recherchées : Vitesse, Puissance, Surface
-

- Aspects économiques

- temps de développement (conception, fabrication des prototypes, temps de mise sur le marché, ...) : "TIME TO MARKET"
- volume de production, coût de production
- stratégie (durée de vie du projet, confidentialité,
- budget
-

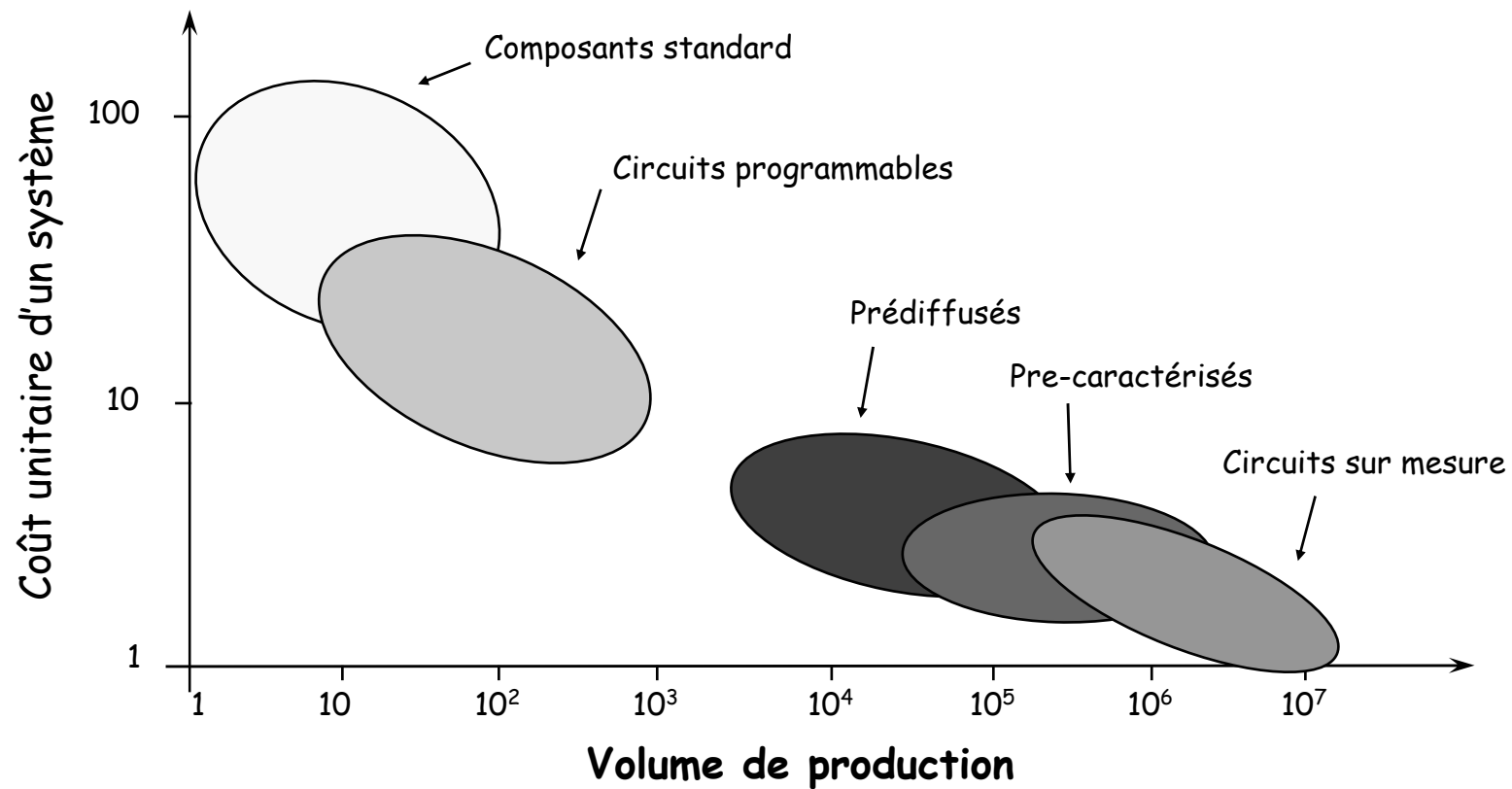
3. METHODES ET OUTILS - Introduction

Choix d'un type de CI



3. METHODES ET OUTILS - Introduction

Choix d'un type de CI



3. METHODES ET OUTILS - Introduction

3.2 : Méthodologies de conception des ASICs

- les circuits prédifusés (gate array)
- les circuits précaractérisés (standard cell)
- les circuits sur mesure (full custom)
- règles de conception des ASICs

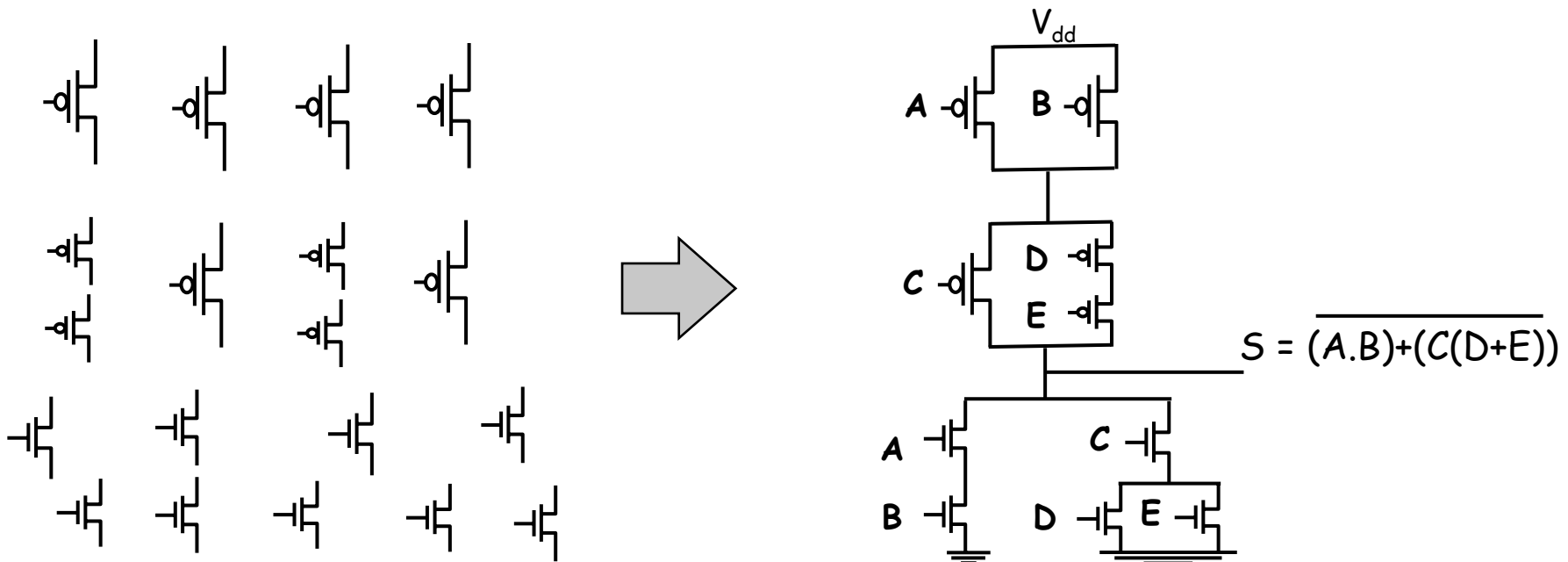
3.3 : Conception des circuits programmables

- les PLD
- les CPLD
- les FPGA

3. METHODES ET OUTILS - Conception des ASICs

Circuits Prédifusés

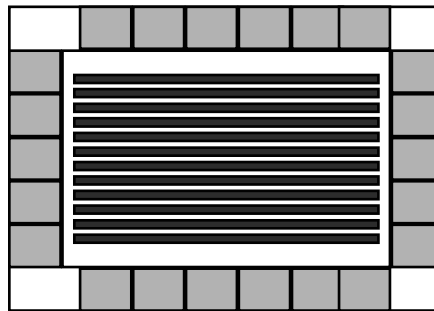
- Réseaux de transistors déjà implantés dans le silicium, mais non interconnectés. C'est l'interconnexion des transistors qui personnalise le circuit en fonction de l'application visée.



3. METHODES ET OUTILS - Conception des ASICs

Circuits Prédifusés (suite)

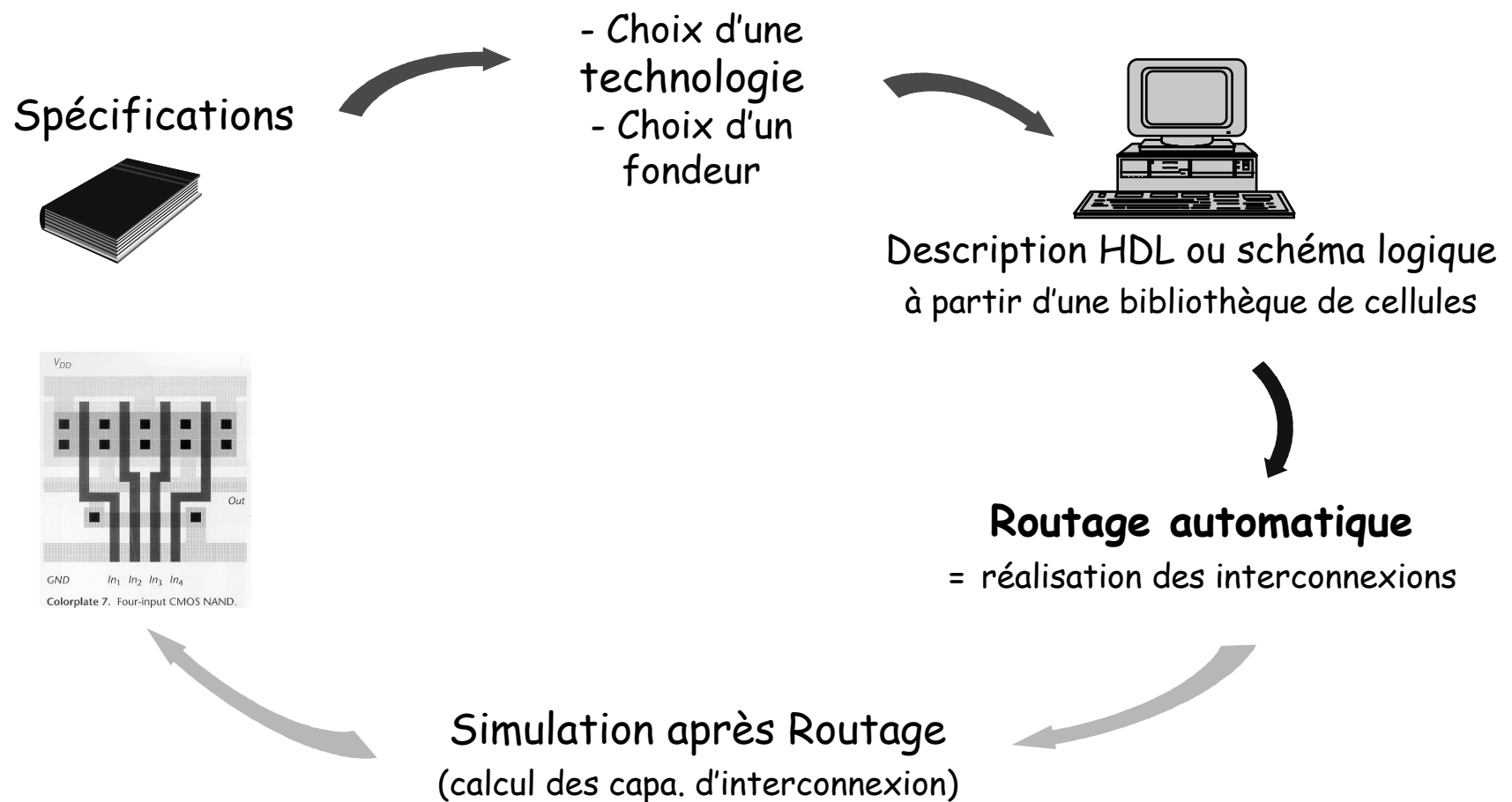
- Préfabrication partielle des plaquettes par le fondeur (seule manque la métallisation qui permet de réaliser l'interconnexion entre les transistors)
- Une matrice est caractérisée par son nombre de plots (E/S) et de transistors. La surface est figée.
- Conception à partir d'une bibliothèque. Résultat: Dessin des niveaux de connexion (contacts, métaux)
- FABRICATION : masques Metal (1,2,...) et contacts, fin de fabrication des plaquettes, puis encapsulation
- TOPOLOGIE :



Bandes de cellules de hauteur fixe séparées par des canaux de routage

3. METHODES ET OUTILS - Conception des ASICs

Conception d'un circuit prédifusé



3. METHODES ET OUTILS - Conception des ASICs

Avantages des Circuits Prédifusés

- Faible investissement CAO (éditeur de schémas, simulateur, routeur auto.)
- Rapidité de conception
- Faible coût de fonderie
- Rapidité d'obtention de prototypes

Inconvénients des Circuits Prédifusés

- Choix limité de cellules
- Faible densité d'intégration (car faible taux de remplissage)
- Faible complexité
- Faible vitesse (due aux capacités d'interconnexion)

De moins en moins utilisés, ils sont remplacés par les FPGAs

3. METHODES ET OUTILS - Conception des ASICs

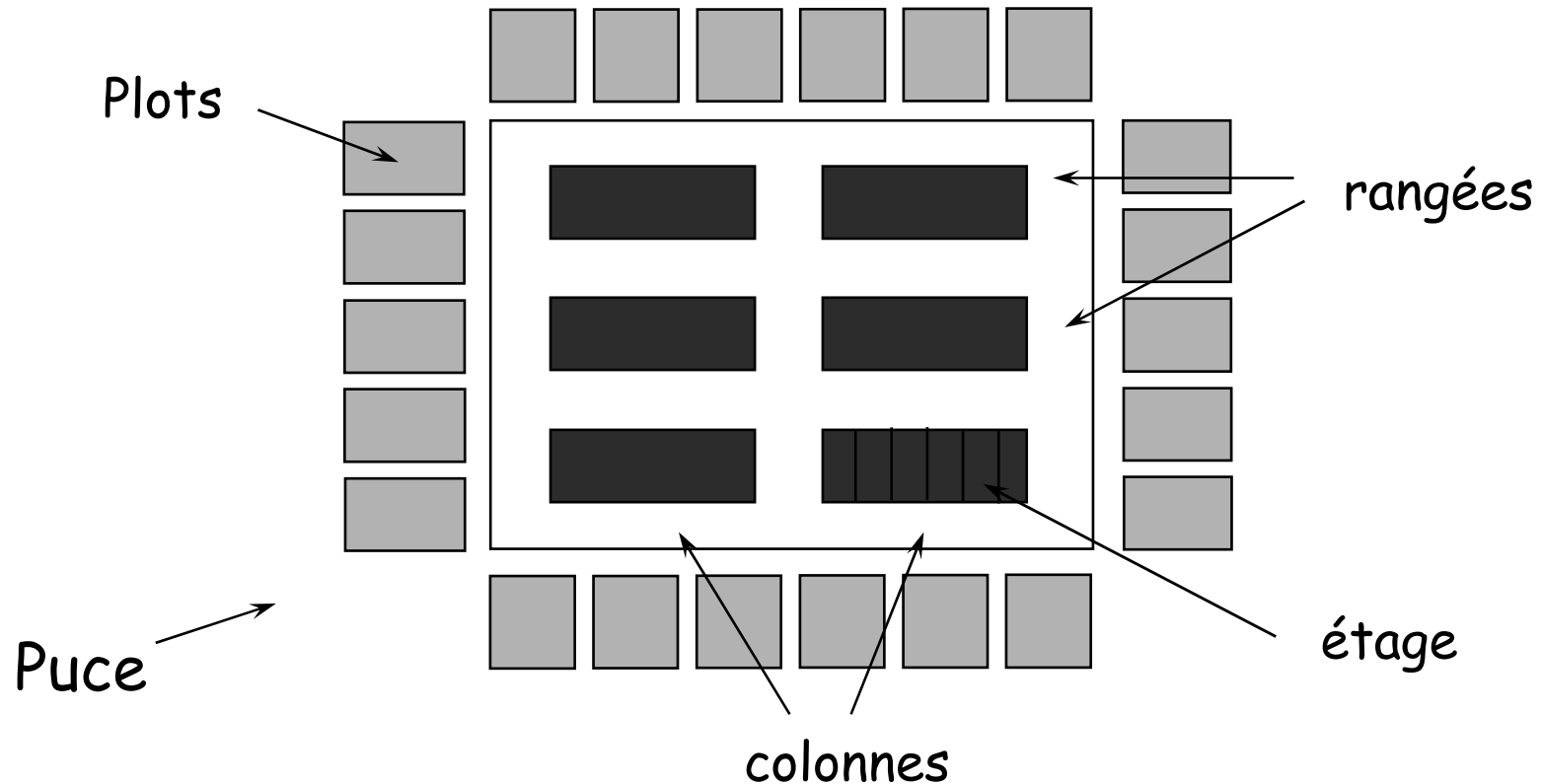
Circuits Pre-caractérisés

- Assemblage de fonctions prédéfinies et précaractérisées électriquement par le fabricant (éléments de bibliothèques)
- La personnalisation du circuit se fait par placement des cellules et optimisation du routage
- conception de tous les masques de fabrication (nombre de transistors et d'E/S non figé)
- Grande variété de cellules (compteurs, ALU, mémoires, ...) plus ou moins complexes. Possibilité de concevoir des processeurs RISC (VLSI Technology).
- Possibilité d'exploiter toute la surface de la puce
 - surface 2 fois inférieure à un prédiffusé
 - surface 3 fois supérieure à un full custom
- TOPOLOGIE EN BANDE : assemblage de cellules en rangées de même largeur, séparées par des canaux de routage de largeurs variables

3. METHODES ET OUTILS - Conception des ASICs

Circuit Précaractérisé - Placement/Routage

exemple : SOLO 1400 (ES2)

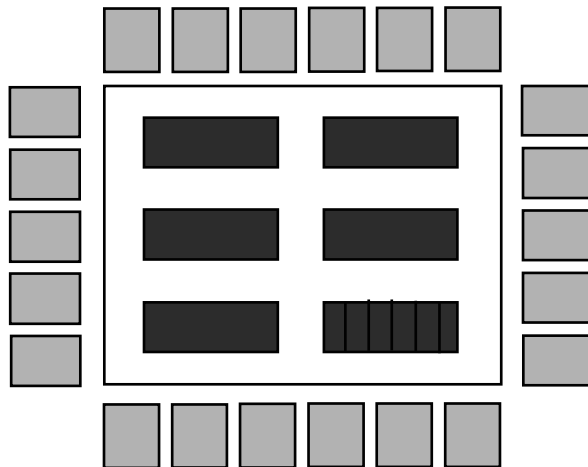


3. METHODES ET OUTILS - Conception des ASICs

Circuit Précaractérisé - Placement/Routage

1. Le programme estime le nombre d'étages nécessaires et propose une configuration de la matrice :

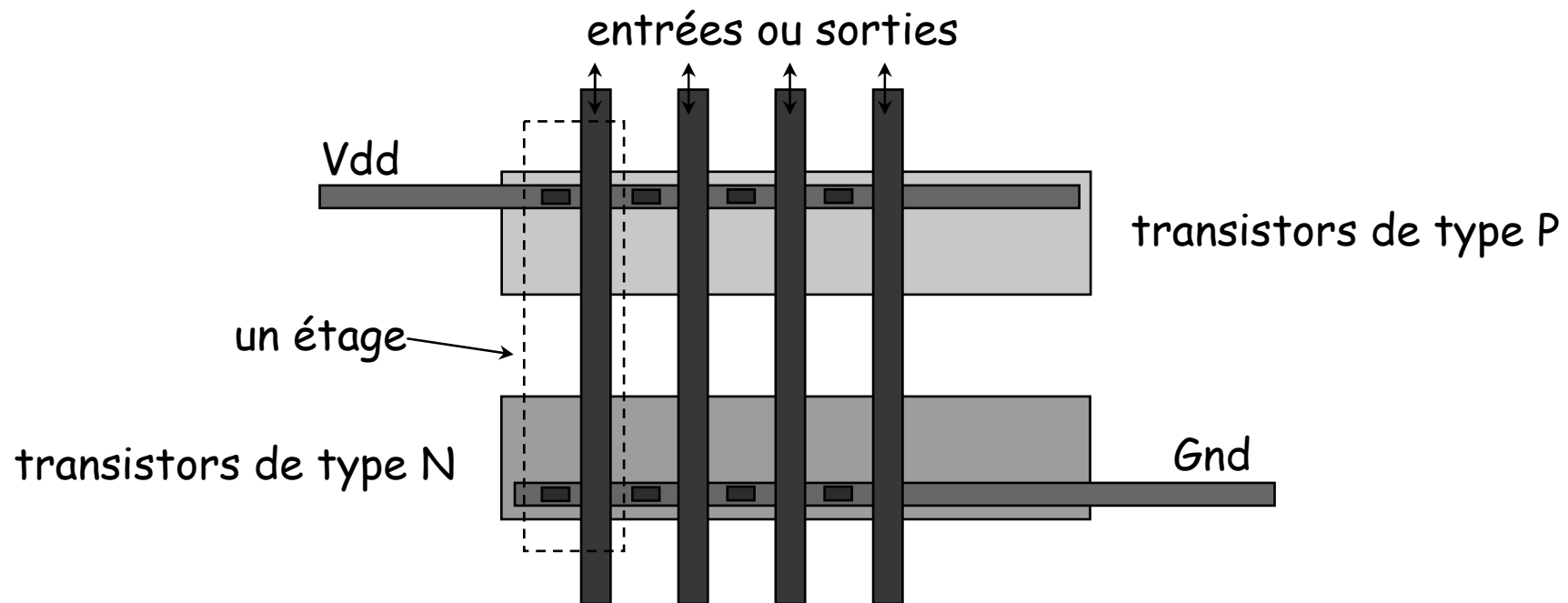
- * nombre de colonnes
- * nombre de rangées par colonne
- * nombre d'étages par rangées



3. METHODES ET OUTILS - Conception des ASICs

Circuit Précaractérisé - Placement/Routage

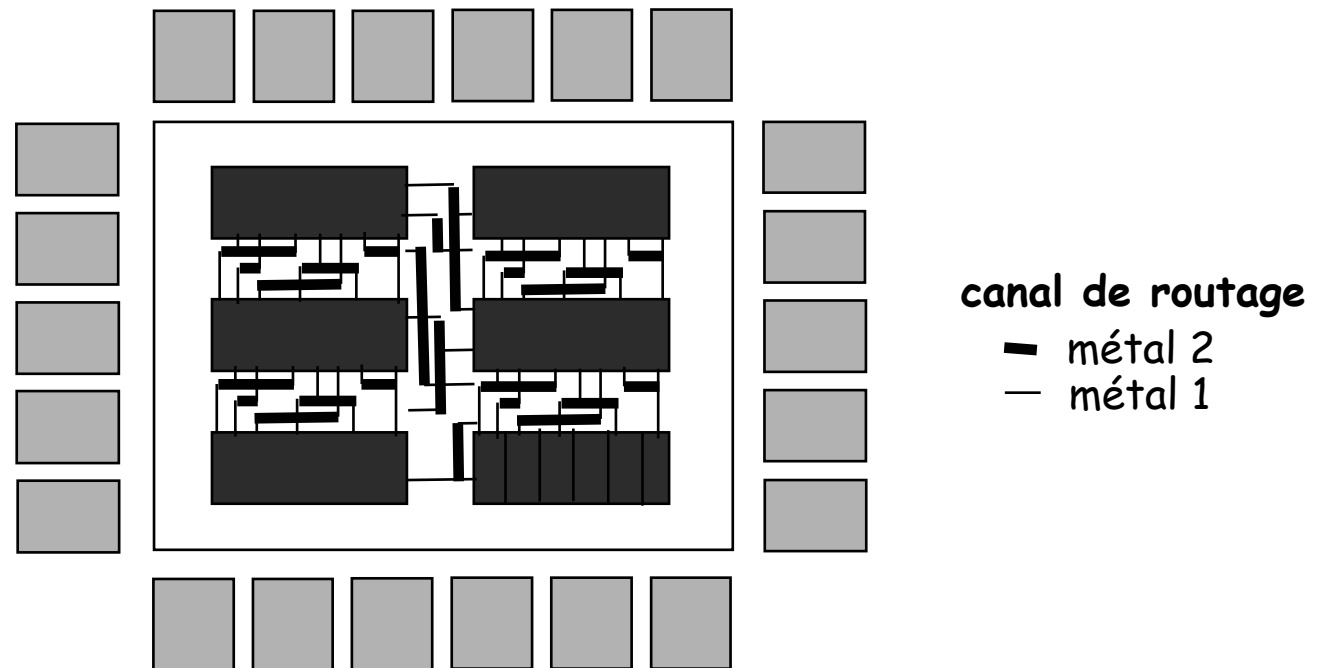
2. Le programme détermine le dessin de chacune des portes du circuit. Chaque porte est réalisée à partir d'une série d'étages contenant chacun une paire de transistors N et P.



3. METHODES ET OUTILS - Conception des ASICs

Circuit Précaractérisé - Placement/Routage

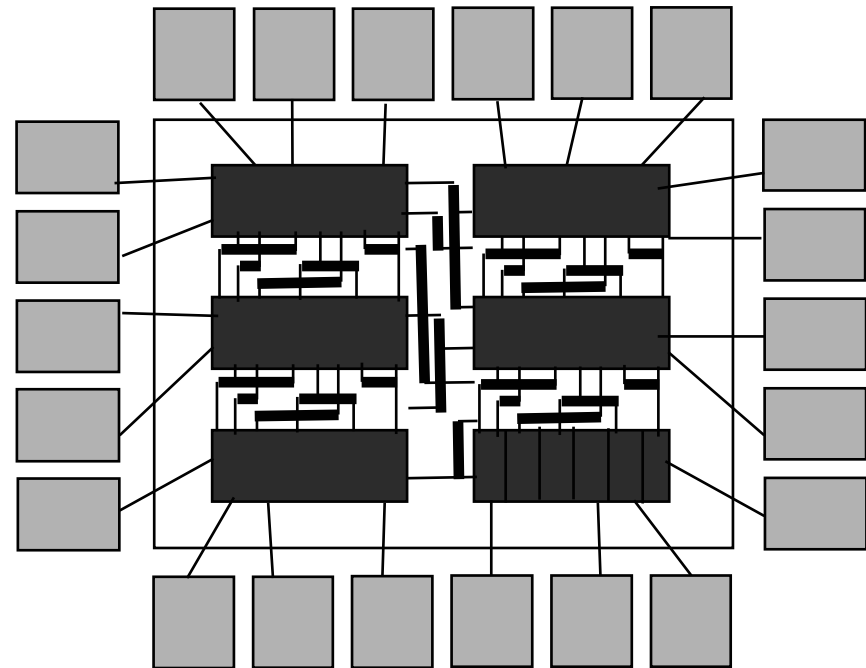
3. Le programme réalise ensuite le routage des cellules. Le routage occupe les intervalles (canaux) entre les rangées à l'intérieur d'une colonne et entre les colonnes.



3. METHODES ET OUTILS - Conception des ASICs

Circuit Précaractérisé - Placement/Routage

4. Le programme génère ensuite le dessin final des masques du circuit. L'utilisateur dispose alors des informations relatives aux nombres de portes, de colonnes, de rangées par colonne, ... ainsi qu'aux dimensions du circuit.



3. METHODES ET OUTILS - Conception des ASICs

Avantages des Circuits Précaractérisés

- Investissement CAO modéré (éditeur de schémas, simulateur logique uniquement, placement/routeur automatique)
- Rapidité de conception
- Pas de perte de silicium
- Rapidité d'obtention de prototypes (5 à 10 semaines)

Inconvénients des Circuits Précaractérisés

- Choix limité de cellules
- Complexité moyenne
- Début de concurrence des FPGAs

3. METHODES ET OUTILS - Conception des ASICs

Circuits sur mesure

- recherche d'une solution optimale en termes de densité et de performance : la totalité des opérations de conception est effectuée de façon spécifique, adaptée aux exigences de l'utilisateur
- justification : grandes séries (démarche effectuée pour la plupart des produits catalogues des fabricants \Rightarrow réduction des coûts)
- Le placement des blocs fonctionnels et le routage des interconnexions est effectué avec beaucoup plus d'interventions manuelles (éditeur de layout) pour atteindre l'optimisation au niveau de chaque transistor.
- conception de tous les masques de fabrication

3. METHODES ET OUTILS - Conception des ASICs

Avantages des Circuits sur mesure

- Performances élevées
- haute densité d'intégration

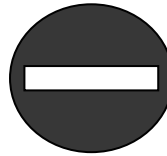
Inconvénients des Circuits sur mesure

- Grande complexité
- Temps de conception élevé
- Fort investissement CAO (éditeur de schémas, simulateur électrique, règles de dessin, placeur/routeur automatique, extracteur de masques)
- Coût de fonderie élevé

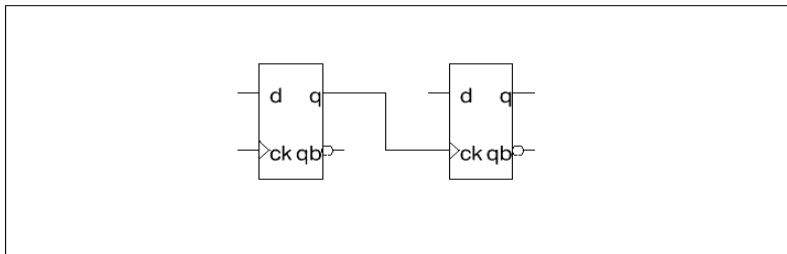
3. METHODES ET OUTILS - Conception des ASICs

Règles de conception des ASICs classiques

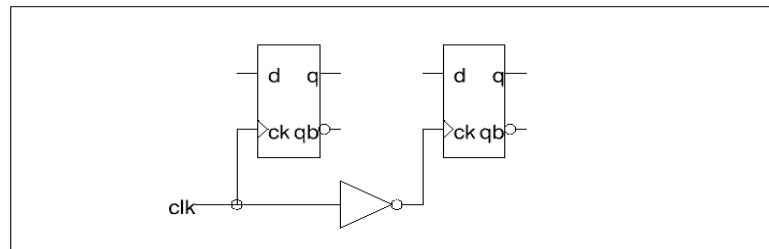
HORLOGES



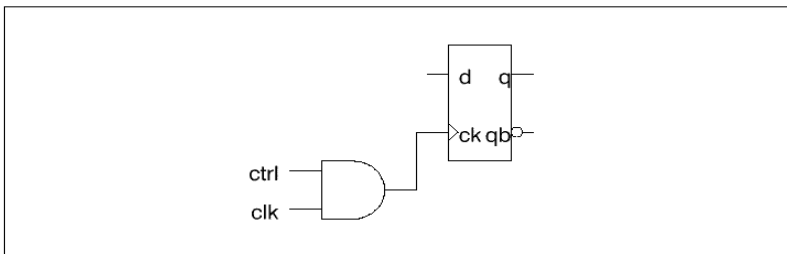
Flip-flop driving clock input of another flip-flop



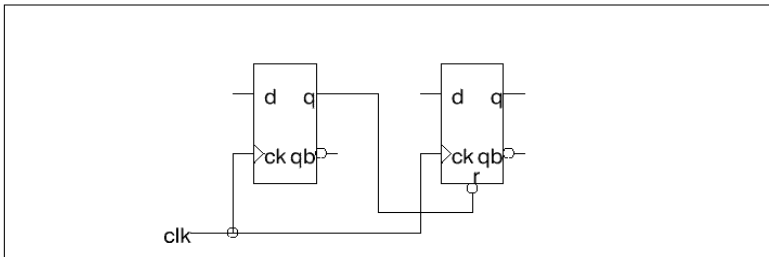
Double-edged clocking



Gated clock line



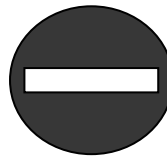
Flip-flop driving asynchronous reset of another flip-flop.



3. METHODES ET OUTILS - Conception des ASICs

Règles de conception des ASICs classiques

HORLOGES



Unequal depth of clock buffering

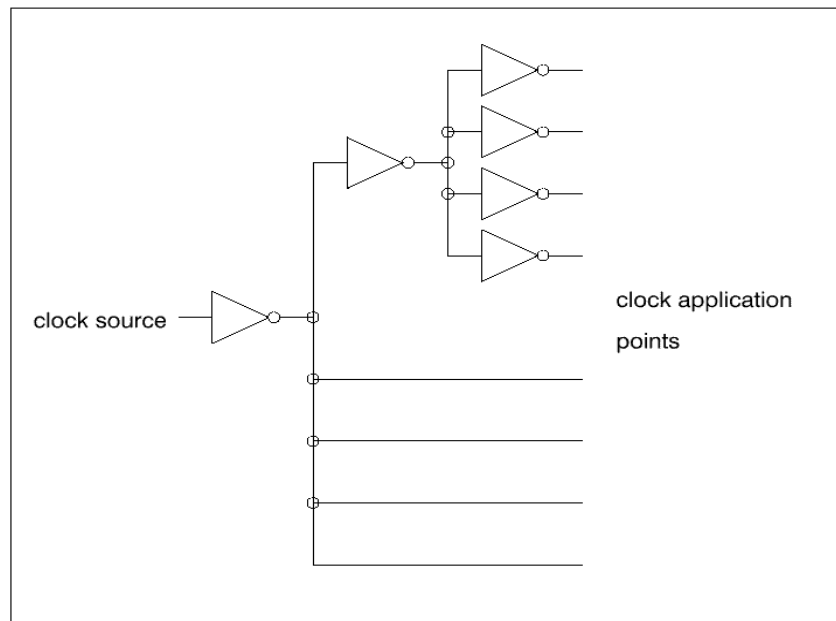
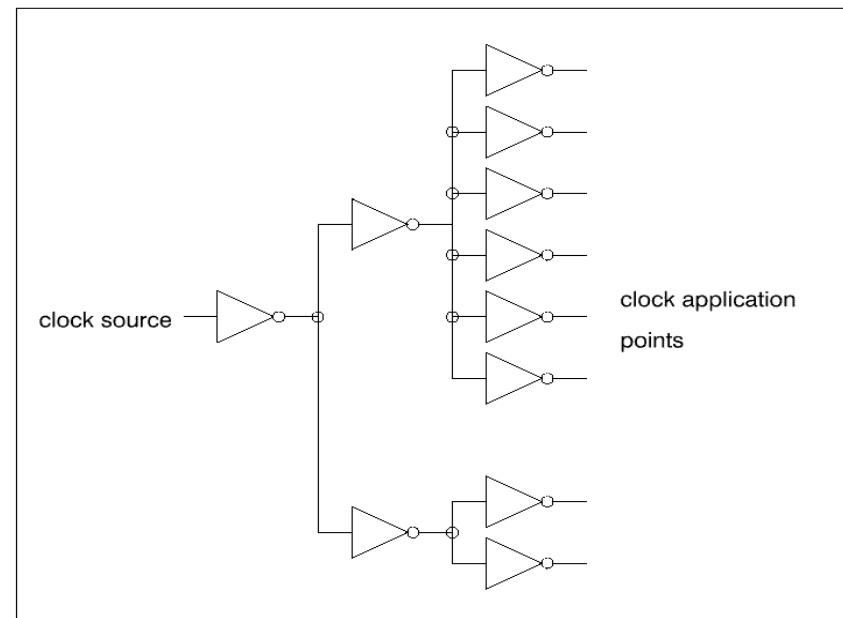


Figure 5: Unequal depth of clock buffering

Unbalanced fanout on clock buffers



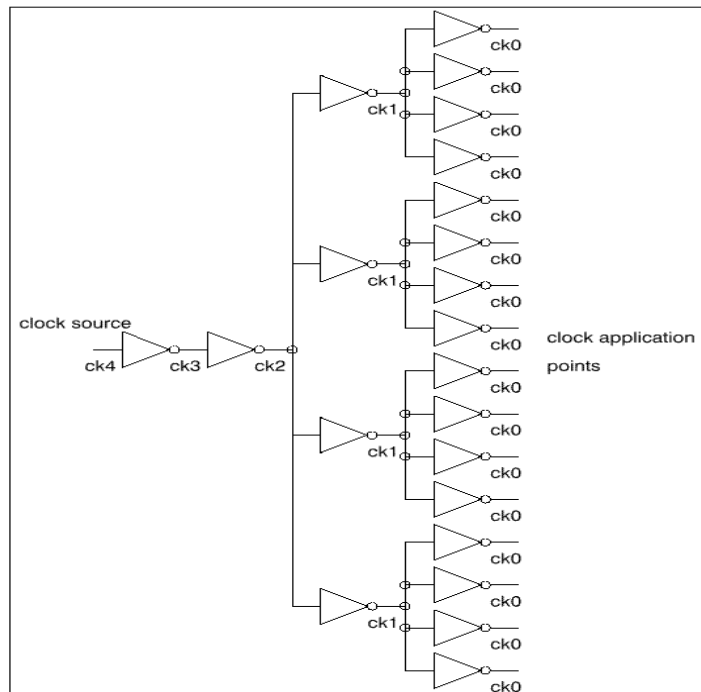
3. METHODES ET OUTILS - Conception des ASICs

Règles de conception des ASICs classiques

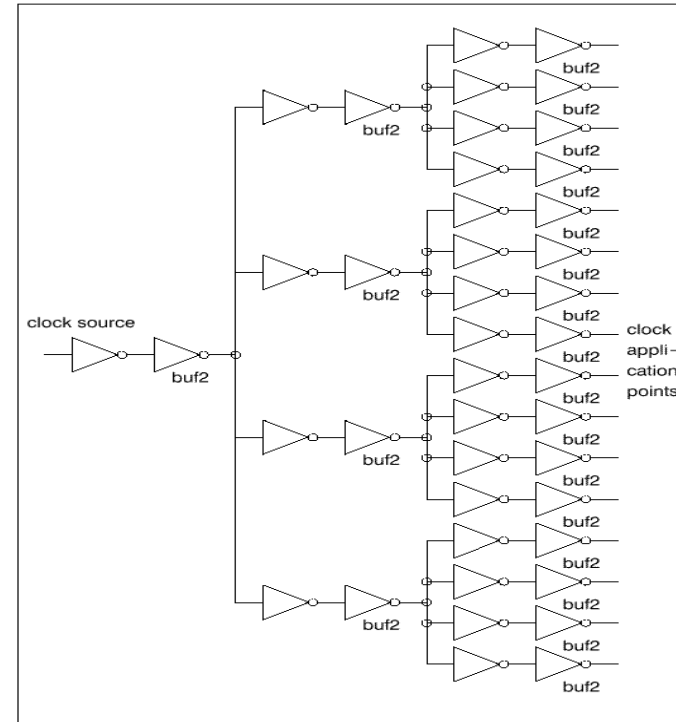
HORLOGES

OK

Balanced clock tree buffering



Combined geometric/tree buffering

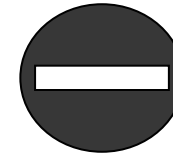
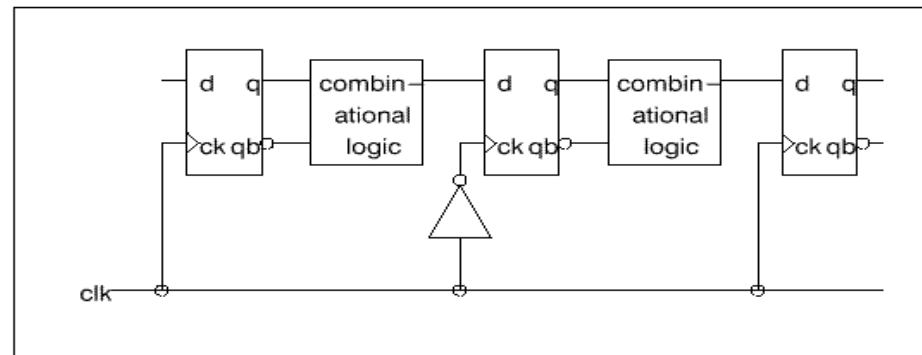


3. METHODES ET OUTILS - Conception des ASICs

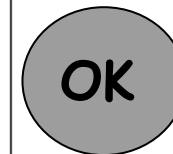
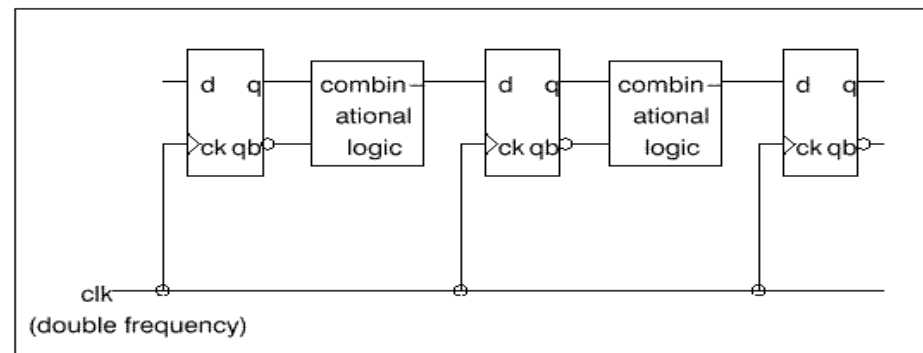
Règles de conception des ASICs classiques

HORLOGES

Pipelined logic with double-edged clocking



Pipelined logic with single-edged clocking



3. METHODES ET OUTILS - Conception des ASICs

Règles de conception des ASICs classiques

HORLOGES

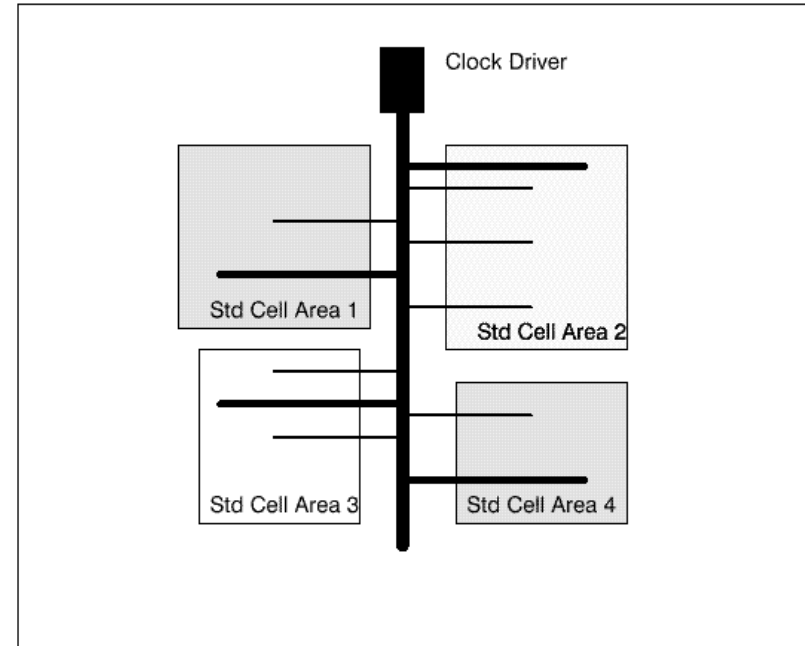
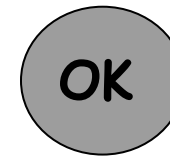
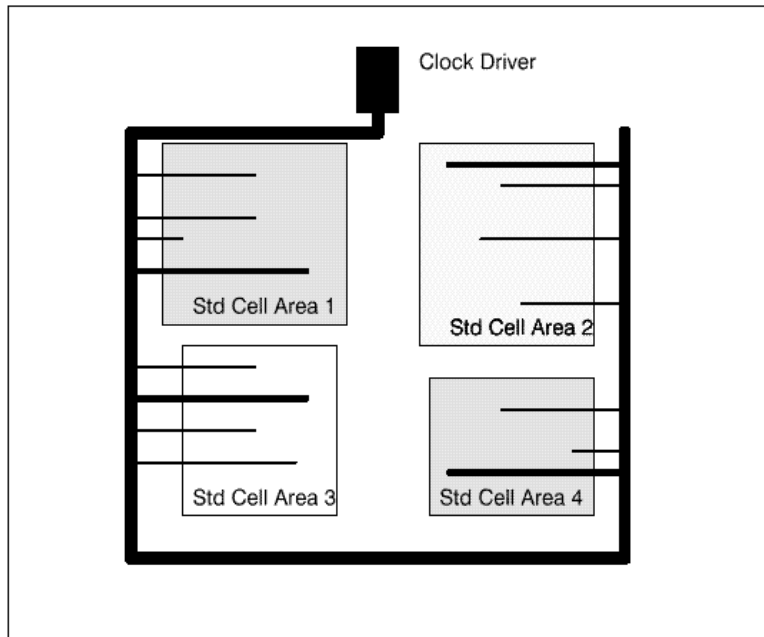
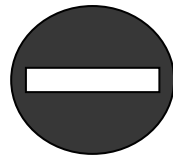


Figure 11: Bad clock guidance for routing

3. METHODES ET OUTILS - Circuits Programmables

Les circuits programmables

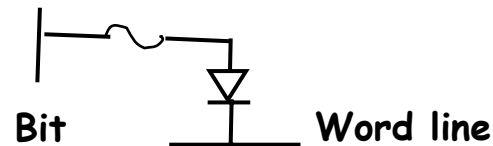
- Composants standard programmables une seule fois (FUSIBLES) ou re-programmables (RECONFIGURATION)
- PRINCIPE DES ARCHITECTURES: réalisation de fonctions booléennes sous forme d'une somme limitée de monomes (PLD, CPLD,...) ou d'un réseau de cellules (FPGA)
- TECHNOLOGIES DE PROGRAMMATION : fusibles (PLD), transistors MOS à grille flottante (CPLD), RAM statique (FPGA-SRAM)
- OUTILS DE CONCEPTION : programmation automatique à partir d'un schéma ou d'un fichier de description
- ➡ LES CIRCUITS PROGRAMMABLES SONT ADAPTES AUX PETITES SERIES, AU DEVELOPPEMENT DE PROTOTYPES, A LA MISE AU POINT D'UNE SPECIFICATION

Ils sont regroupés en trois grandes familles :
les PLD, les CPLD, les FPGA

3. METHODES ET OUTILS - Circuits Programmables

Les PLD (Programmable Logic devices)

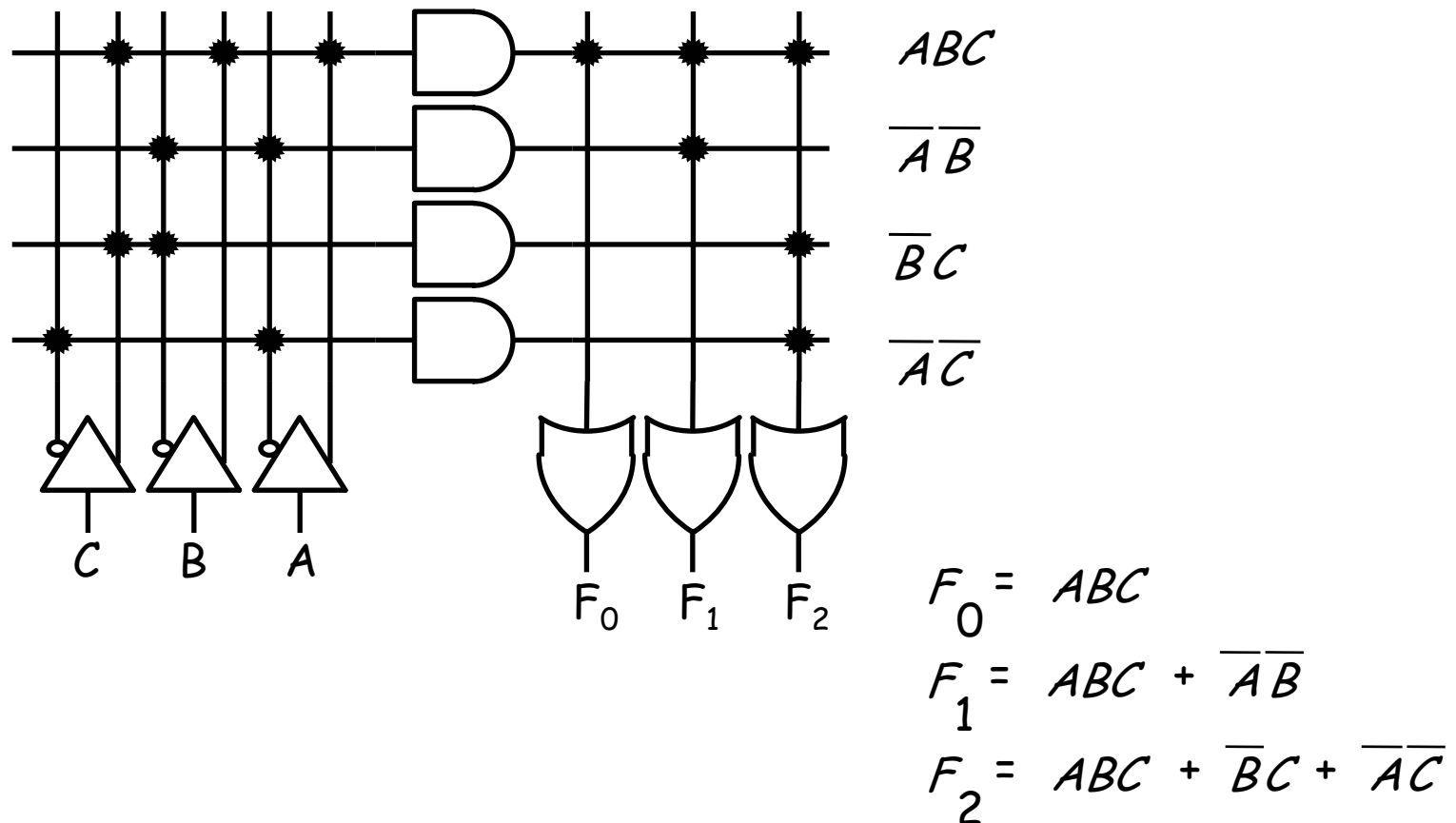
- Technologie comparable à celle des PROMs
- réseaux de portes avec connexions programmables
- bipolaire
- programmation par fusibles (comme les PROMs)



- non reprogrammables
- fonctions logiques simples (structures de type Sum-of-Products)
- coût unitaire élevé (faibles séries, prototypes, ...)

3. METHODES ET OUTILS - Circuits Programmables

Structure d'un PLD - exemple



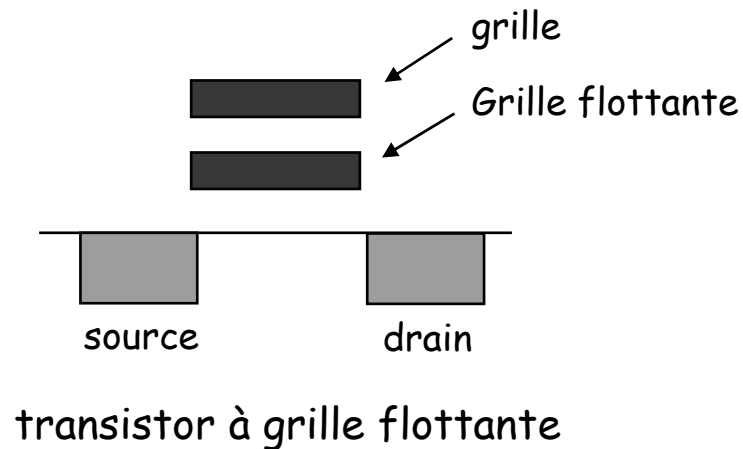
3. METHODES ET OUTILS - Circuits Programmables

Les CPLD (Complex Programmable Logic devices)

- Technologie comparable à celle des EPROMs, EEPROMs, ...
- CMOS
- structure des cellules logiques : Sum-of-Products + éléments séquentiels
- programmation des cellules logiques et des interconnexions par transistor à grille flottante
- effaçables par U.V. pour EPROMs et électriquement pour EEPROMs
- modification du circuit toujours possible

3. METHODES ET OUTILS - Circuits Programmables

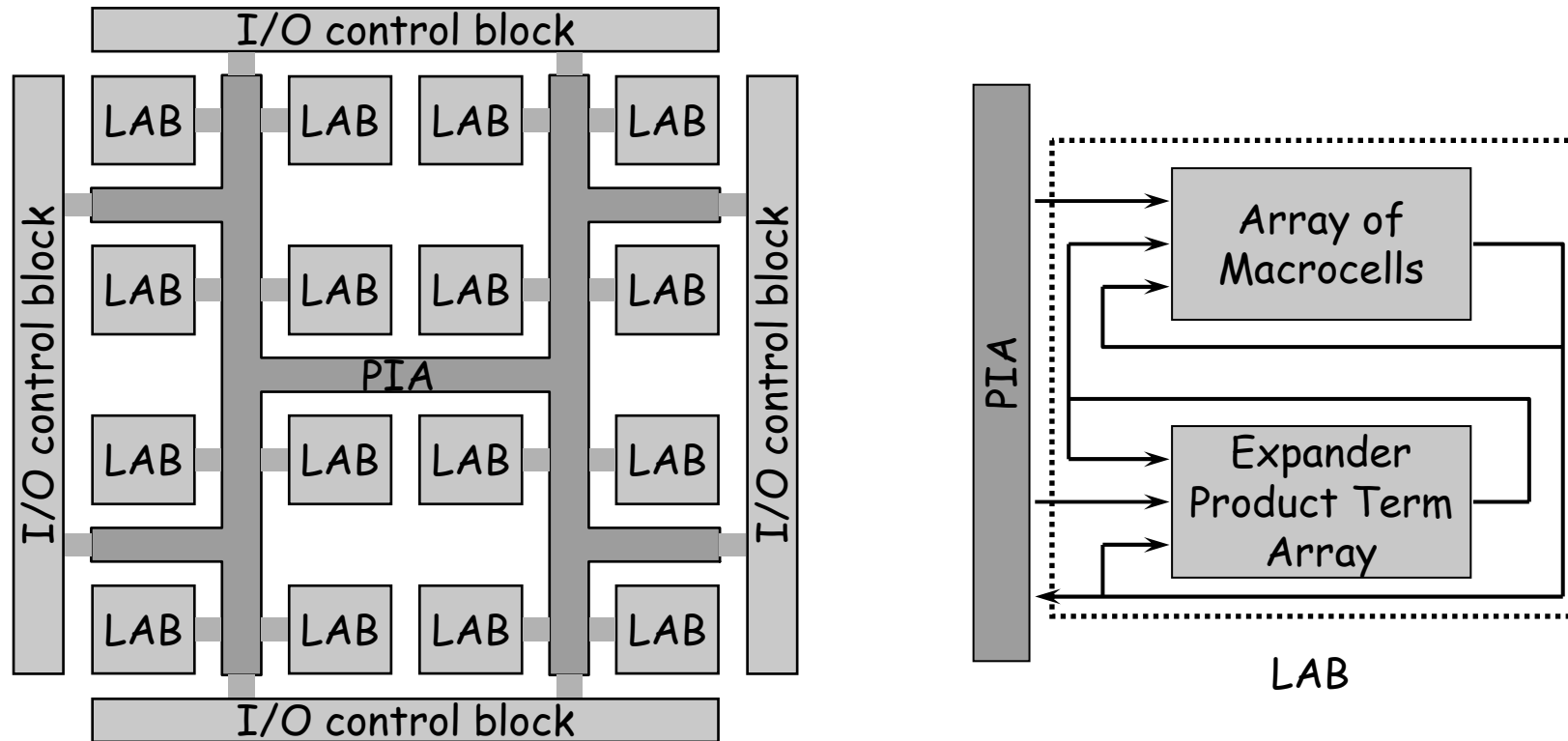
Les CPLD - Programmation



L'application d'un potentiel élevé (de l'ordre de 40V) sur la grille supérieure provoque le passage d'une partie des électrons du canal à travers la mince couche d'oxyde, ce qui charge la grille flottante en quelques millisecondes. Lors de la lecture, une tension V_{dd} appliquée sur la grille supérieure est complètement masquée par la charge négative emmagasinée sur la grille flottante. Cela équivaut à un transistor toujours bloqué.

3. METHODES ET OUTILS - Circuits Programmables

Structure d'un CPLD



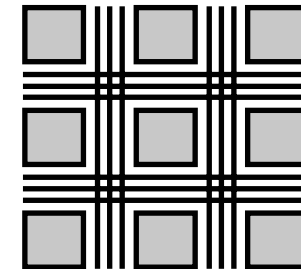
LAB = Logic Array Block

PIA = Programmable Interconnect Array

3. METHODES ET OUTILS - Circuits Programmables

Les FPGA (Field Programmable Gate Array)

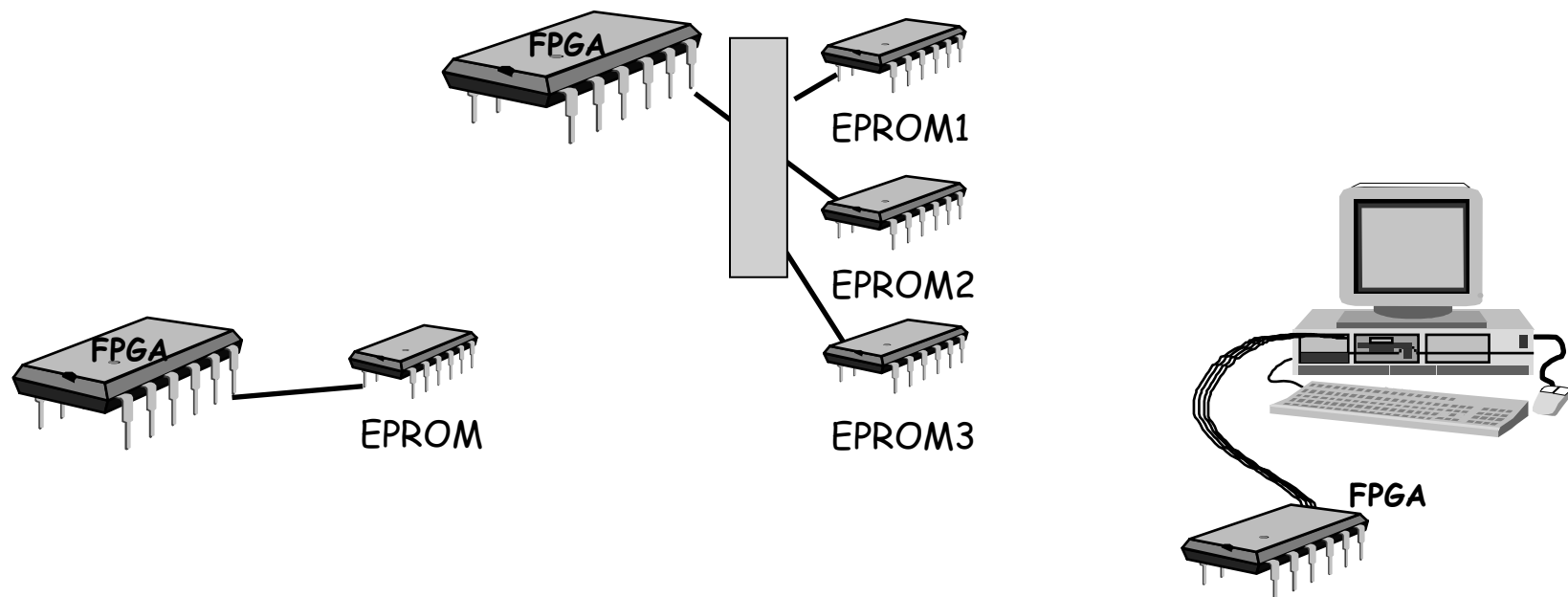
- Matrices de blocs logiques avec un réseau d'interconnexions
- programmation des cellules logiques et des interconnexions
- CMOS
- re-programmation sur site à la mise sous tension (configuration). Le programme est contenu dans une ROM, EPROM, ou mémoire de masse
- cellules logiques basées sur la technologie SRAM
- structures des cellules logiques : Look-up Table
- modification aisée du circuit



3. METHODES ET OUTILS - Circuits Programmables

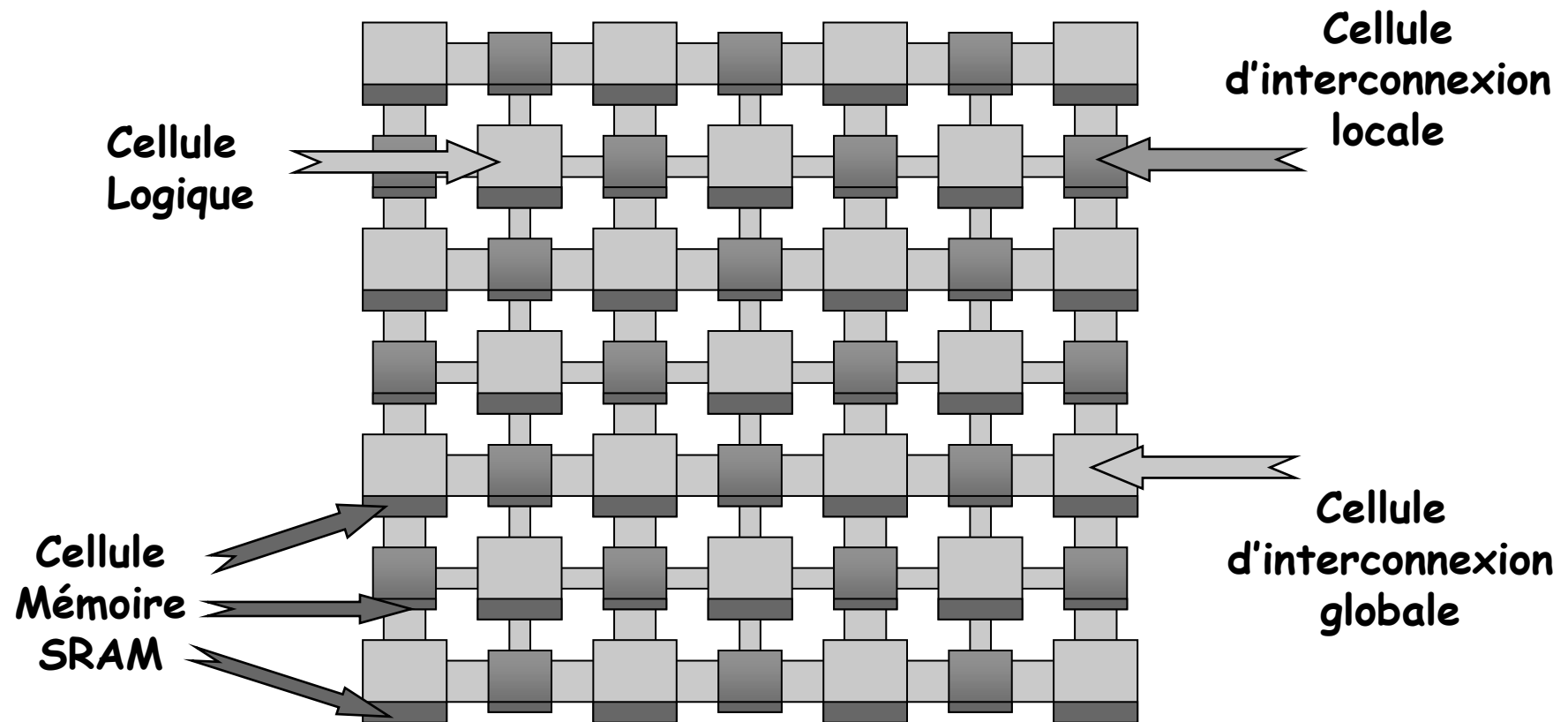
Les FPGA - programmation

- ▶ le FPGA doit être configuré à chaque mise sous tension à partir d'une mémoire externe



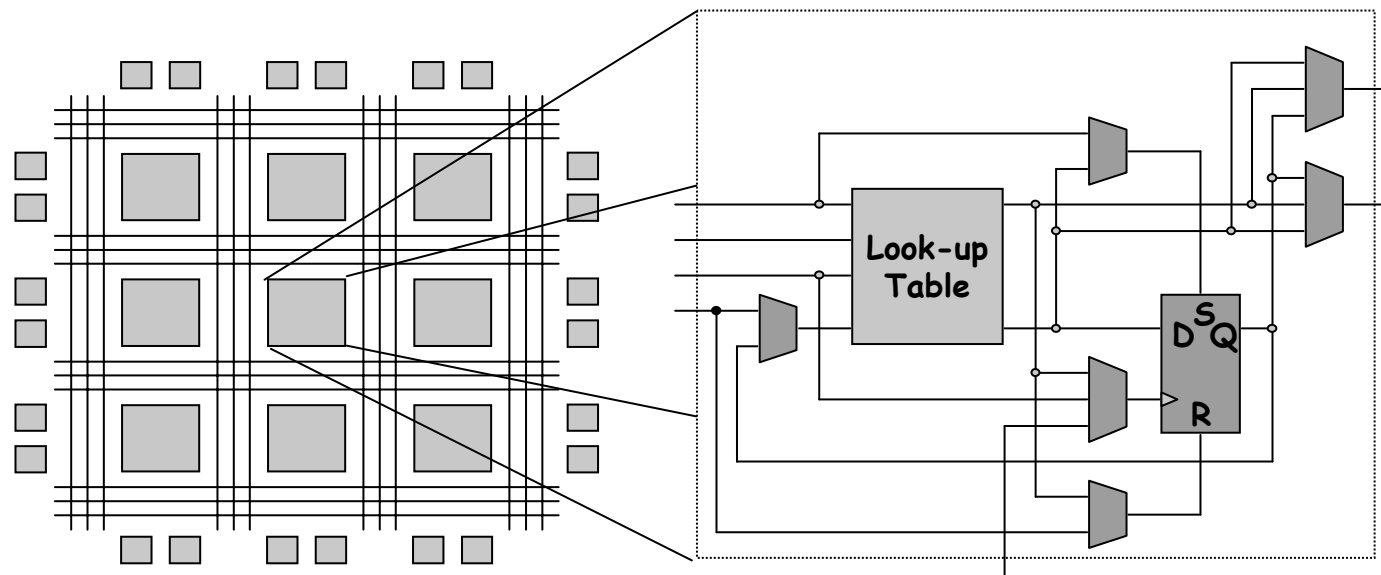
3. METHODES ET OUTILS - Circuits Programmables

Structure d'un FPGA



3. METHODES ET OUTILS - Circuits Programmables

Structure d'un FPGA - les CLB

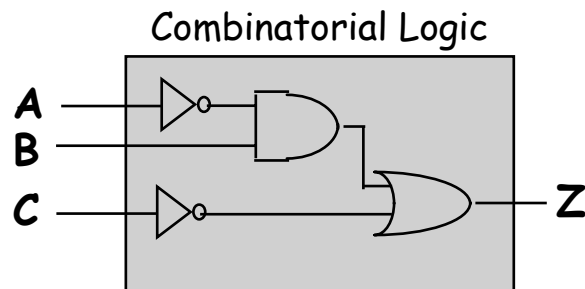


- CLB = BLOC LOGIQUE CONFIGURABLE ("Configurable Logic Block"), construit à partir d'un générateur de fonctions (LUT).
- Réalisation de blocs combinatoires ou séquentiels

3. METHODES ET OUTILS - Circuits Programmables

Structure d'un FPGA - la LUT

- LUT = "Look Up Table". Une "LUT" correspond à un arbre de multiplexeurs connecté à des points mémoires (SRAM).
- La logique combinatoire est stockée dans la LUT
- Exemple:



A	B	C	Z
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

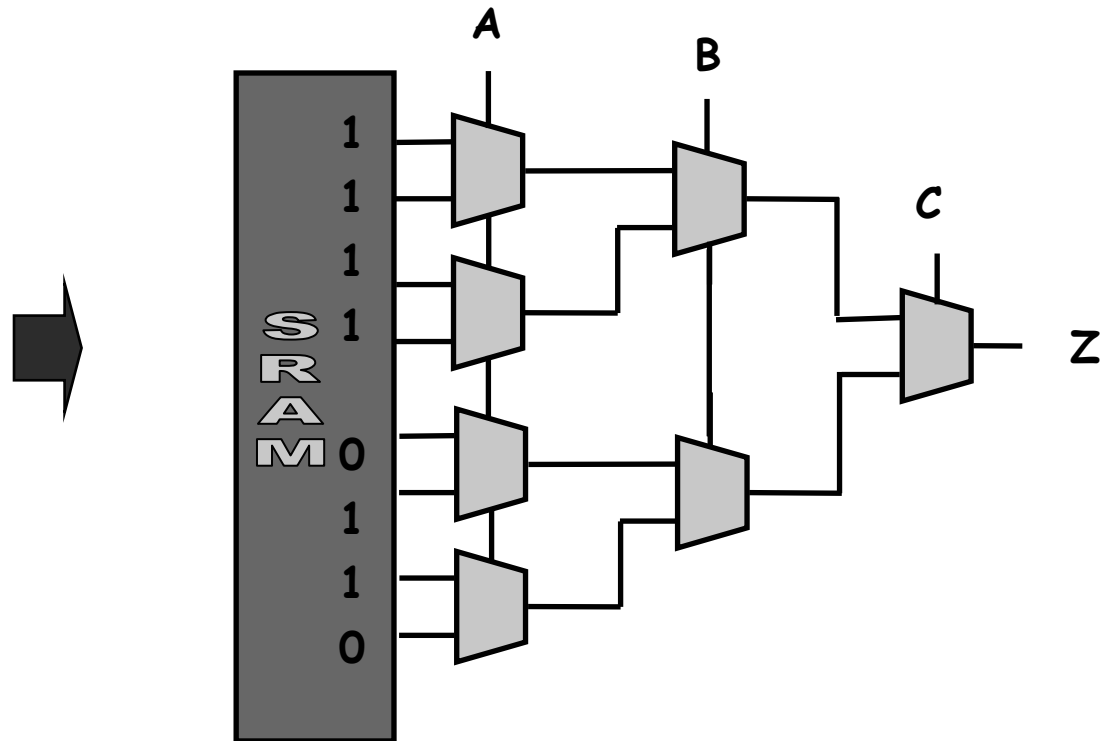
Look Up Table

3. METHODES ET OUTILS - Circuits Programmables

Structure d'un FPGA - la LUT

A	B	C	Z
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

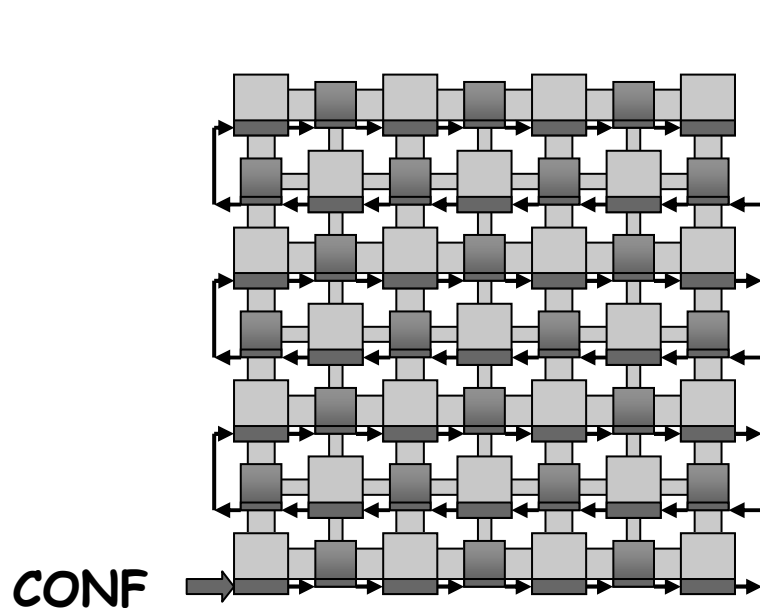
Look Up Table



- La capacité est limitée par le nombre d'entrée de la LUT (pas par la complexité)

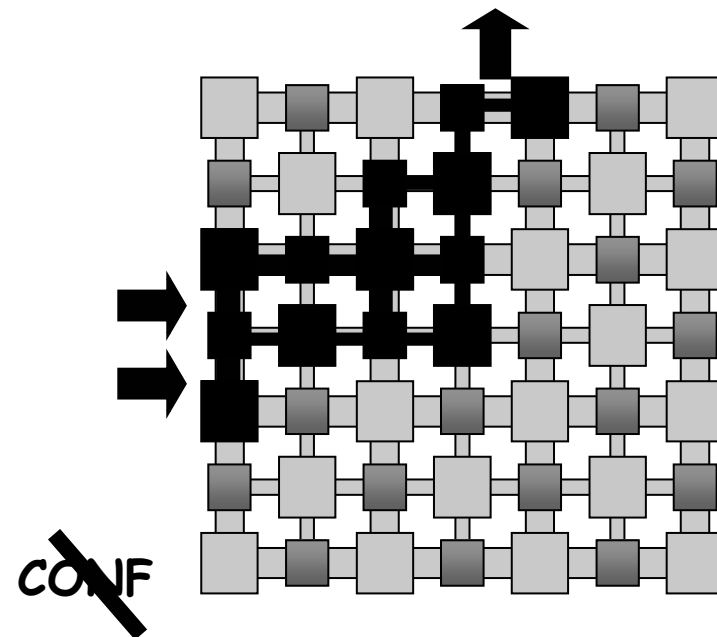
3. METHODES ET OUTILS - Circuits Programmables

FPGA - exemple : XC4085



Phase de configuration

$2 \cdot 10^6$ bits à $f=0.5$ Mhz (4 s)

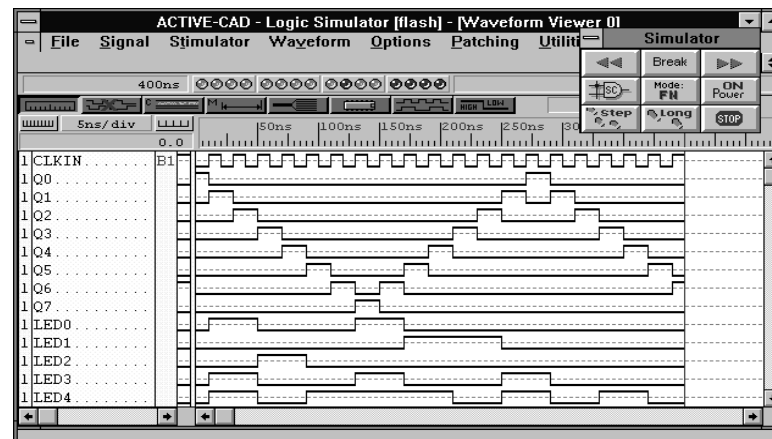
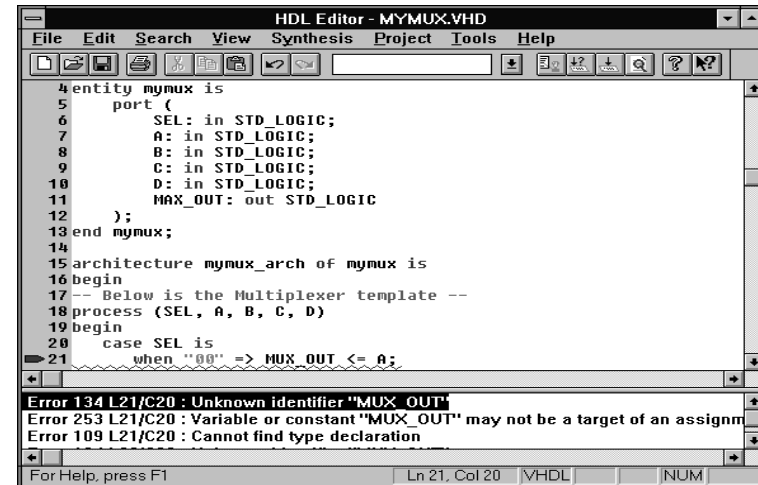
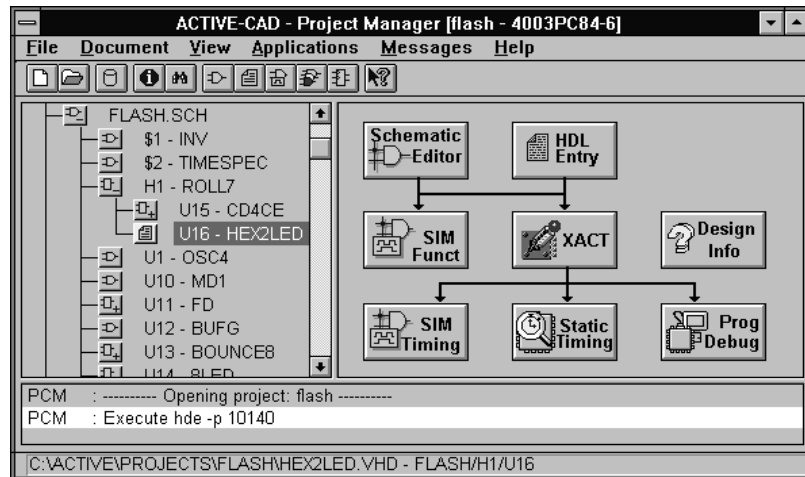


Phase d'opération:

$2 \cdot 10^3$ bits à $f=50$ Mhz (40 μ s)

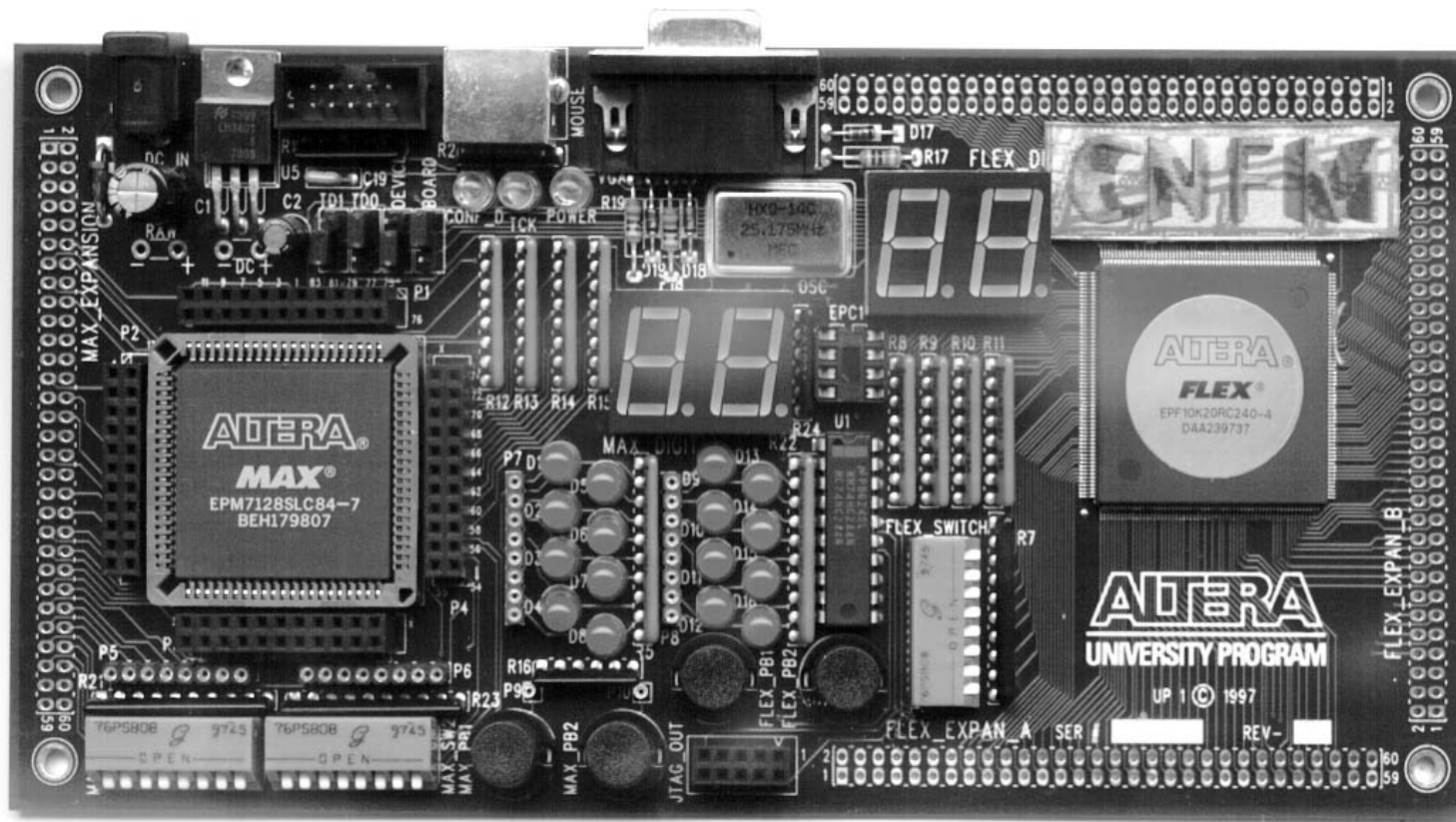
3. METHODES ET OUTILS - Circuits Programmables

CAO de FPGA - exemple



3. METHODES ET OUTILS - Circuits Programmables

CARTE ALTERA UP-DLP



3. METHODES ET OUTILS - Circuits Programmables

Avantages des Circuits Programmables

- Temps de fabrication nul (si composant en stock)
- Coût de developpement minimal
- Reconfiguration rapide pour correction des erreurs
- Composants testés à 100%
- Outils CAO de faible coût

Inconvénients des Circuits Programmables

- Faible taux d'utilisation des portes (de moins en moins vrai - exemple : FPGA XILINX > 500 000 portes)
- faibles performances (par rapport aux ASICs)
- Coût de production élevé si grande quantité (de moins en moins vrai - exemple : 1\$ pour 5000 portes)
- Protection du savoir faire

3. METHODES ET OUTILS - Conclusion

Outils logiciels de CAO (+ circuits programmables)

1995

10 % sur plate-forme Windows

90 % sur plate-forme Unix

2000

50 % sur plate-forme Windows

50 % sur plate-forme Unix

(en chiffres d'affaires)