

CONCEPTION ET TEST DE CIs

5. TEST DES CIRCUITS INTEGRES

5.1 Introduction

5.2 Défaillances physiques et modèles de fautes

5.3 Analyse de testabilité

5.4 Génération de vecteurs de test

5.5 Simulation de fautes

5.6 Conception en vue du test

5.7 Test intégré

5.8 Diagnostic de pannes

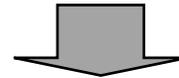
5.9 Test des cartes et test des coeurs

5. TEST DES CIs - Introduction



Concepteur

Objectif du Concepteur : circuit conforme aux spécifications initiales



Fondeur de Si

Rôle du Fondeur : Test et identification des défauts de fabrication éventuels à partir des fichiers de vecteurs de test

* **Remarque** : le test n'a pas pour but d'identifier les erreurs de conception, qui font appel à d'autres techniques que celles présentées ici (preuve formelle, simulation, ...)

5. TEST DES CIs - Introduction

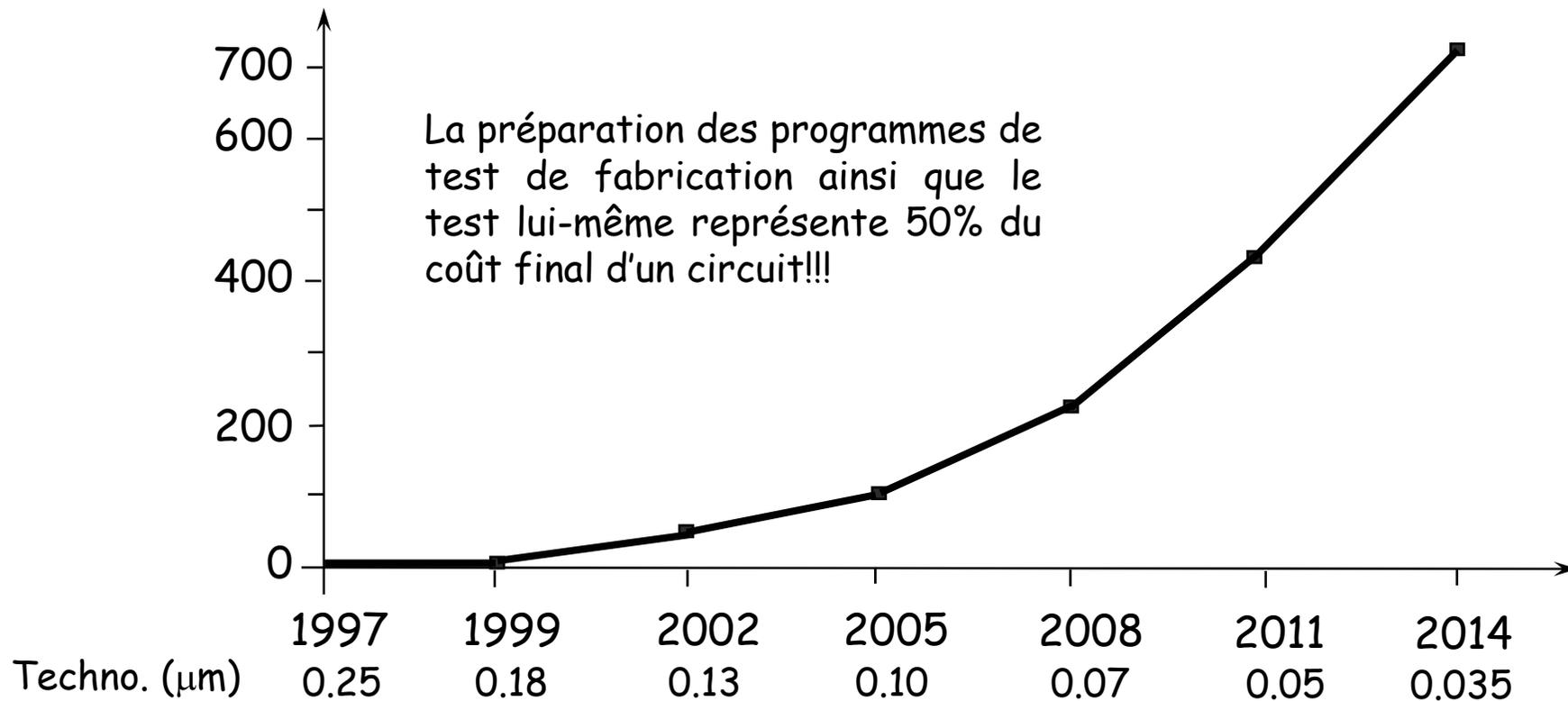
Définition : le Test d'un circuit consiste à mettre en évidence son éventuel mauvais fonctionnement dû à une ou plusieurs défaillances physiques.

Tests effectués aux différents stades de vie d'un circuit

Dispositif sous Test			
Wafer	Boîtier	Carte	Système
Test du process technologique (PCM) Test des puces	Test paramétrique Test logique Vieillessement Test complet sur échantillon	Test d'entrée Test carte nue Test de la carte montée Vieillessement	Test du système Test en utilisation

5. TEST DES CIs - Introduction

Complexité du Test (en milliers de transistors par broche)



Source: SIA Roadmap 1998, publié dans IEEE Spectrum (juillet 1999)

5. TEST DES CIs - Introduction

Problématique du Test Logique

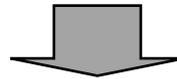
- Appliquer un ensemble de vecteurs de test à chaque circuit (après fabrication) et comparer les réponses (valeurs logiques) obtenues à celles d'un circuit sain
- L'ensemble de test optimum est celui qui détecte le plus grand nombre de défauts pouvant être présent dans le circuit avec le plus petit nombre de vecteurs
- Les différents types d'ensembles de test sont :
 - **test exhaustif** (*trop long*)
 - **test fonctionnel** (*aucune manière algorithmique de vérifier que tout les modes fonctionnels ont été testés*)
 - **test basé sur un modèle de fautes**

5. TEST DES CIs - Défaillances physiques

Défaillances physiques en technologie CMOS

✦ Mécanismes de défaillance

- défauts des wafers (contamination, ...)
- facteurs humains (pollution, ...)
- impact de l'environnement (poussières, ...)
- instabilité du process de fabrication (T° , ...)



Ces mécanismes engendrent des défauts de fabrication

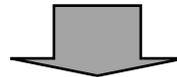
- défauts globaux (désalignement de masques, ...)
- défauts locaux (rupture totale ou partielle d'interconnexions, court-circuits entre niveaux de masques (métal-métal, métal-diffusion, ...), ...)
- défauts paramétriques (retards, ...)

5. TEST DES CIs - Défaillances physiques

Défaillances physiques en technologie CMOS

Il existe d'autres défauts physiques possibles sur un circuit qui sont susceptibles d'occasionner des pannes

- ▶ **Défauts à long terme** (mis en évidence par vieillissement)
 - électromigration dans les métaux, radiations, ...



- ▶ **Pour modéliser ces défauts :**
 - le modèle de collage
 - le modèle de court-circuit
 - le modèle de retard

5. TEST DES CIs - Modèles de fautes

Modèle de collage

La panne force définitivement à 0 ou à 1 l'état logique du nœud : on parle de collage à 0 ou collage à 1 d'un nœud du circuit.

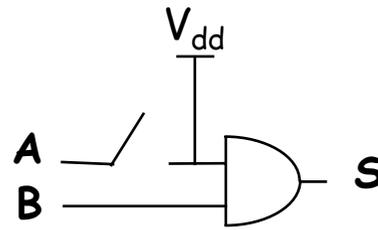
- le plus courant
- permet de représenter de nombreux types de défauts (90% en CMOS)
- indépendant de la technologie
- les tests produits à partir d'une hypothèse de collage détectent aussi de nombreux défauts pourtant non modélisables par un collage (retard)
- permet d'utiliser tous les résultats obtenus en algèbre de Boole pour déterminer des séquences de test

5. TEST DES CIs - Modèles de fautes

Modèle de collage

A	B	S
0	0	0
0	1	0
1	0	0
1	1	1

Porte saine



Faute : A collé à 1

A	B	S
0	0	0
0	1	1
1	0	0
1	1	1

Porte fautive

Inconvénient : ne couvre pas tous les défauts possibles en techno. CMOS ...

5. TEST DES CIs - Modèles de fautes

Modèle de court-circuit

La panne provoque un contact entre deux équipotentielles normalement distinctes : on parle de court-circuit (ou de court-circuit résistif) entre deux nœuds.

Trois classes de court-circuits sont considérées :

- court-circuit à l'intérieur d'une porte
- court-circuit entre nœuds (entrée/sortie de porte)
- court-circuit entre nœuds avec feedback

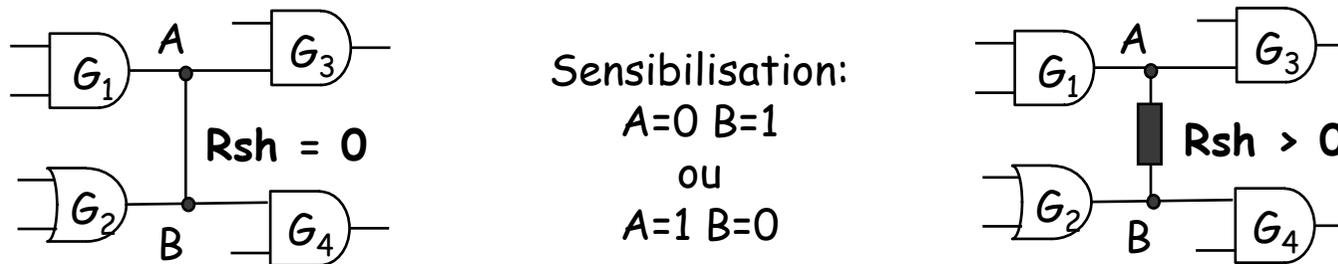
Inconvénients du modèle de court-circuit :

- les algorithmes d'ATPG sont plus complexes
- nécessité d'une description du circuit "low level" pour le test des court-circuits à l'intérieur d'une porte logique

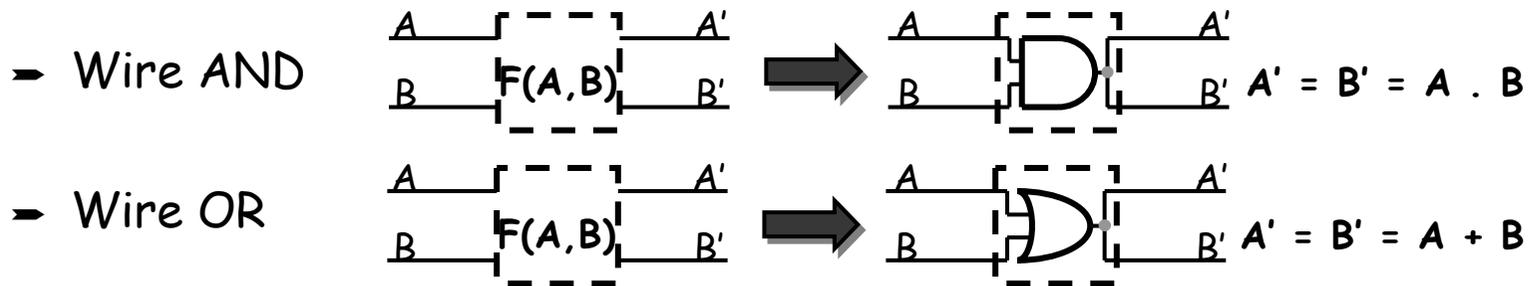
5. TEST DES CIs - Modèles de fautes

Modèle de court-circuit

▶ Exemple de court-circuit entre nœuds :



▶ Les modèles de court-circuit (les plus courants)

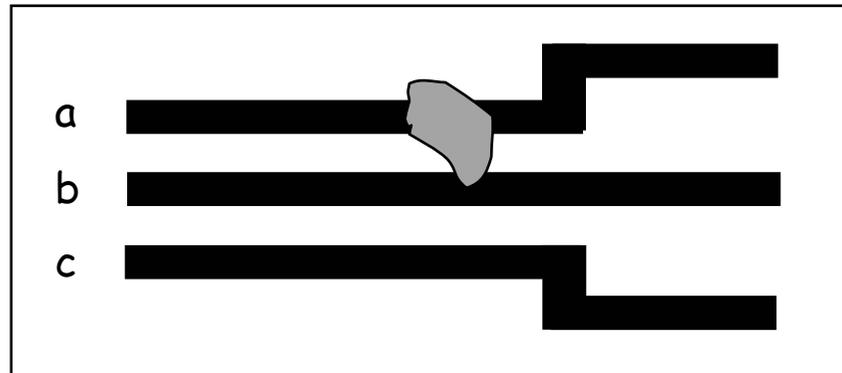


5. TEST DES CIs - Modèles de fautes

Modèle de retard

La panne provoque un dysfonctionnement du circuit à haute fréquence uniquement : on parle de faute de retard ou faute de délai.

Exemple d'une poussière ("spot defect") provoquant une faute statique (ligne a), une faute de retard (ligne b), aucune faute (ligne c).



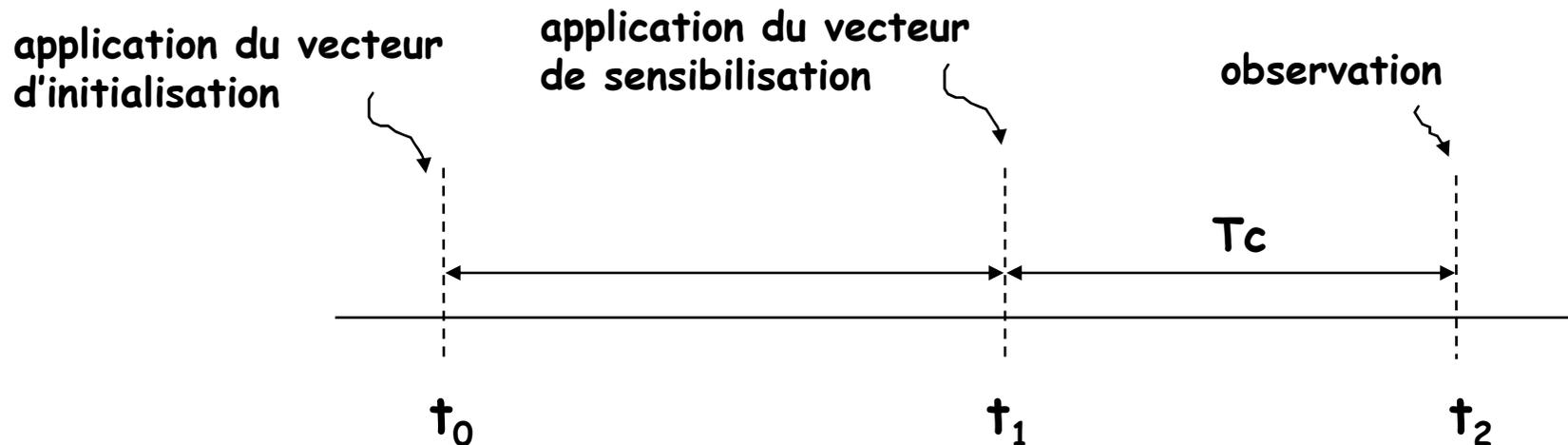
➤ Les modèles de retard

- Modèle local : faute de délai de porte ($\Delta_{\text{porte}} > \text{Délai nominal}$)
- Modèle global : faute de délai de chemin ($\Delta_{\text{chemin}} > \text{Délai critique}$)

5. TEST DES CIs - Modèles de fautes

Modèle de retard

- ▶ nécessité d'une paire de vecteurs de test (paire de test)



- ▶ pour exciter la faute, une transition est nécessaire sur le site
- ▶ pour observer la faute, un chemin sensibilisé doit exister entre le site de la panne et une sortie du circuit

5. TEST DES CIs - Analyse de testabilité

Analyse de Testabilité

- ▶ Mesures utilisées comme critères de choix
 - Générateurs automatiques de vecteurs de test
 - Outils de conception en vue du test
- ▶ Testabilité
 - Caractéristique d'un circuit qui influence divers coûts associés au test (longueur, complexité de génération d'une séquence, ...)
 - En pratique : basée sur les concepts de contrôlabilité et d'observabilité
- ▶ Largement utilisé dans l'industrie

5. TEST DES CIs - Analyse de testabilité

Mesures de Testabilité

- ▶ Contrôlabilité
 - indique la difficulté relative à positionner une ligne à 0 ou à 1 à partir des Entrées Primaires (EP)
- ▶ Observabilité
 - indique la difficulté relative à propager une erreur à partir d'une ligne vers les Sorties Primaires (SP)

5. TEST DES CIs - Analyse de testabilité

Mesures de Testabilité - méthodes

- ▶ Calcul de la testabilité : NP-complet
- ▶ Analyses structurelles
 - non normalisées (SCOAP et dérivées)
 - normalisées (TMEAS, COP, ...)
- ▶ Calculs probabilistes (COP)

5. TEST DES CIs - Génération de vecteurs de test

Génération de Vecteurs de Test

BUT : déterminer les stimuli à appliquer en entrée d'un circuit pour mettre en évidence une panne potentielle. L'ensemble de stimuli doit être un ensemble minimal.

- ▶ approches structurelles ou fonctionnelles, circuit combinatoire ou séquentiel, niveau porte, modèle de collage, délai, court-circuit, ...

PLAN

- ▶ Généralités
- ▶ Test Déterministe
 - ▶ circuit combinatoire
 - ▶ circuit séquentiel
- ▶ Test Exhaustif
- ▶ Test Aléatoire

5. TEST DES CIs - Génération de vecteurs de test

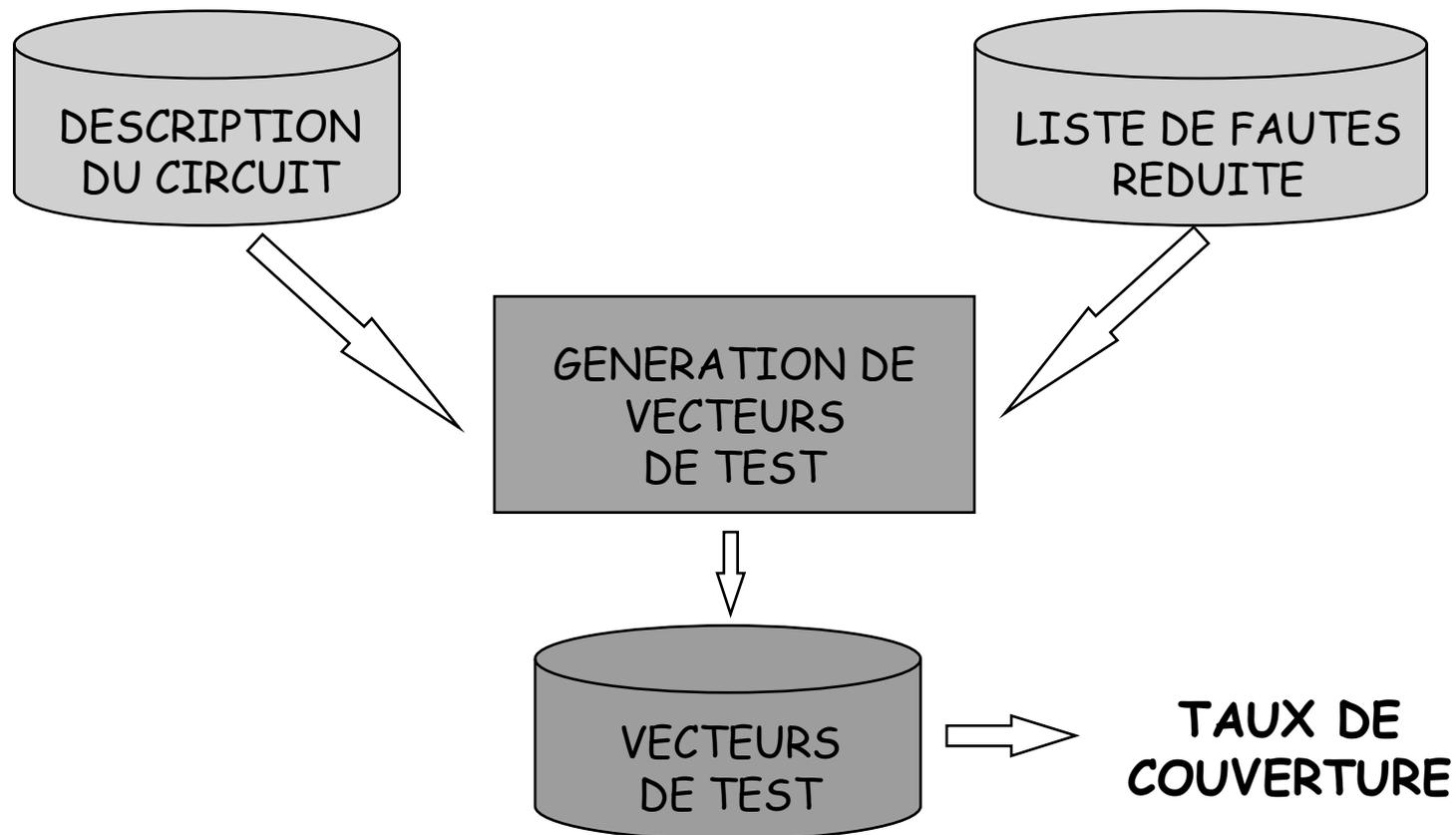
Généralités

- ▶ Hypothèses :
 - vecteurs mémorisés dans un testeur qui se charge d'appliquer la séquence au circuit (test externe)
 - résultats par comparaison complète des réponses du circuit avec les réponses attendues
- ▶ Principaux aspects :
 - Le coût de la Génération de Vecteurs de Test
 - La qualité du test généré
 - Le coût d'application du test généré
- ▶ Evaluation (dans le contexte d'un modèle de fautes) :
 - Taux de couverture T_c , Efficacité du Test (test déterministe), probabilité de détection (test aléatoire)

$$T_c = \frac{\text{(nombre de fautes détectées par la séquence de test)}}{\text{(nombre total de fautes dans le circuit)}}$$

5. TEST DES CIs - Génération de vecteurs de test

Test Déterministe - principe



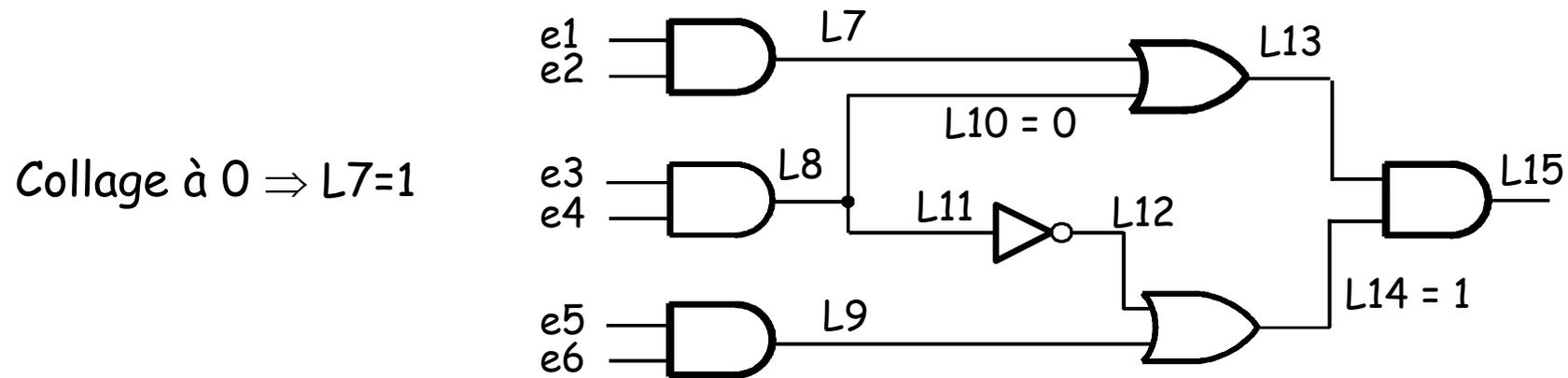
5. TEST DES CIs - Génération de vecteurs de test

Test Déterministe - principe

- ✧ Pour mettre en évidence une panne de collage à 0 (resp. 1) sur une ligne L, il est nécessaire que le vecteur de test soit tel que :
 - 1/ il produise la valeur 1 (resp. 0) sur la ligne L
 - 2/ qu'une sortie du circuit indique sans ambiguïté que la ligne L est à la valeur 0 ou à la valeur 1
- ✧ Les trois actions nécessaires sont donc :
 - la **sensibilisation** de la faute
 - positionnement à la valeur inverse du collage
 - la **propagation** de la faute vers une SP
 - par chemin simple ou par chemins multiples
 - la **justification** des valeurs de sensibilisation et de propagation par assignation des EPs

5. TEST DES CIs - Génération de vecteurs de test

Exemple - sensibilisation simple



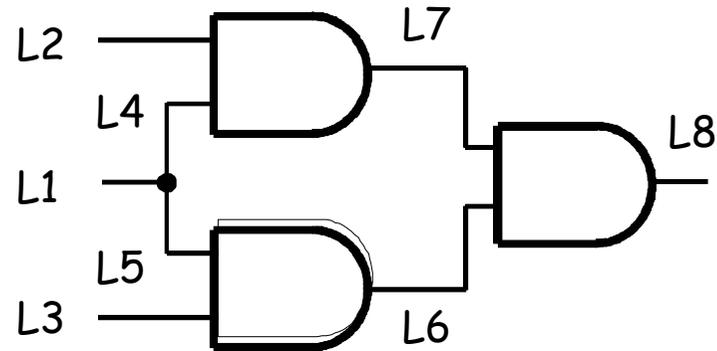
- | | | | |
|---|-----------------|---|--|
| — | Sensibilisation | } Tout vecteur de test / L7 = 1, L10 = 0, L14 = 1 | |
| — | Propagation | | \Rightarrow L15 = 1 dans le circuit sain |
| — | Justification | | \Rightarrow L15 = 0 dans le circuit fautif |
| | | \Rightarrow c'est un vecteur de test | |
| | | \Rightarrow (e3 = 0 ou e4 = 0) et e1 = e2 = 1 | |
| | | \Rightarrow ex : vecteur de test CA0/L7 (1,1,0,X,X,X) | |

1 chemin de propagation unique : (L7,L13,L15)

5. TEST DES CIs - Génération de vecteurs de test

Exemple - sensibilisation multiple

Collage à 0 \Rightarrow L1=1



2 chemins de propagation : (L1,L4,L7,L8) et (L1,L5,L6,L8)

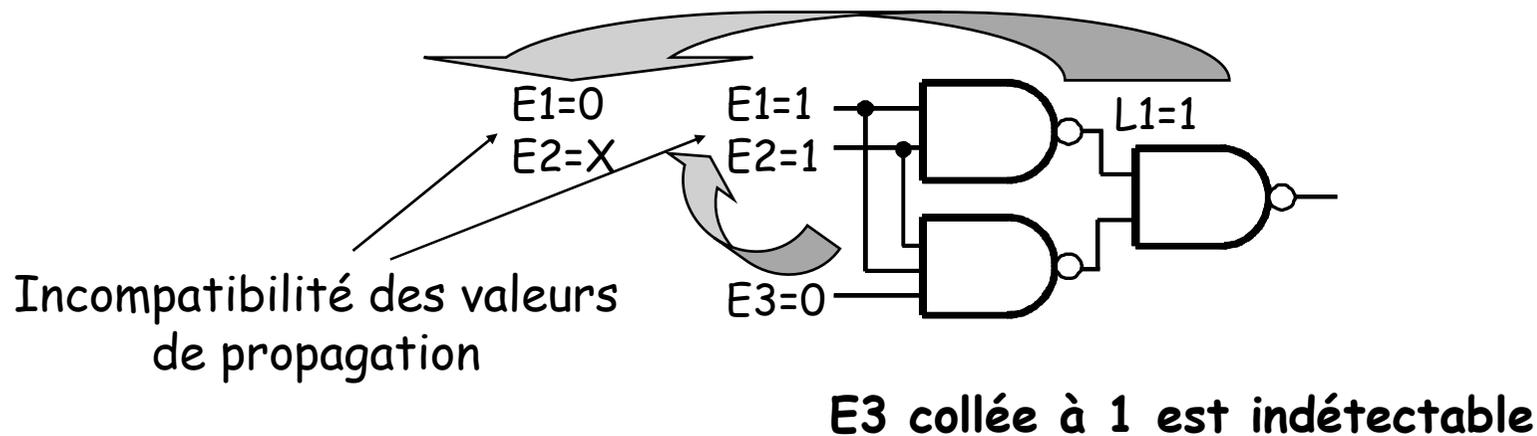
Il doivent être sensibilisés simultanément

— Sensibilisation	}	Tout vecteur de test / L1 = 1, L2 = 1, L3 = 1, L7 = 1, L6 = 1
— Propagation		\Rightarrow L8 = 1 dans le circuit sain L8 = 0 dans le circuit fautif \Rightarrow c'est un vecteur de test

5. TEST DES CIs - Génération de vecteurs de test

Test Déterministe - les difficultés

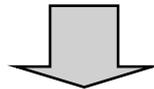
- ▶ divergence et reconvergence de lignes
- ▶ nombre de chemins
- ▶ redondance et indétectabilité
 - S'il n'existe pas de vecteur de test pour mettre en évidence une faute, la faute est indétectable. On dit que la connexion est redondante (elle peut être supprimée)



5. TEST DES CIs - Génération de vecteurs de test

Test Déterministe de circuits combinatoires

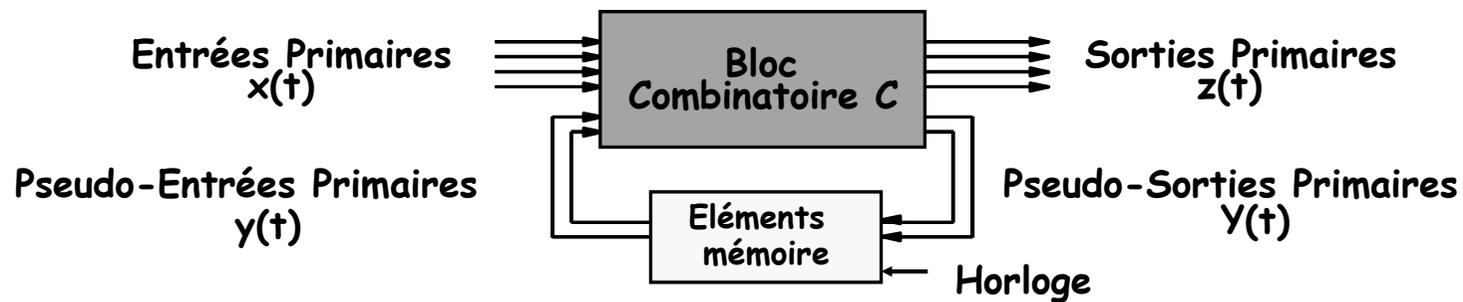
- ✦ Idée de base : **sensibilisation de chemins**
- ✦ Inconvénient potentiel : ne fournit pas toujours de vecteur de test alors que celui-ci existe (cas des chemins de sensibilisation multiples)



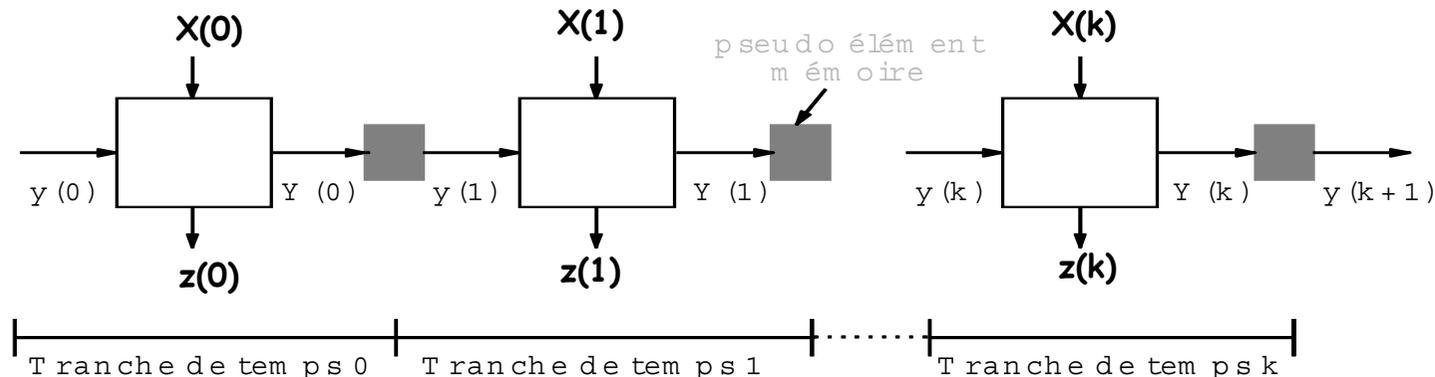
- ✓ D-Algorithm
- ✓ 9V-Algorithm (même stratégie mais amélioration des temps de calcul)
- ✓ PODEM (changement de stratégie, parcours dans un arbre)

5. TEST DES CIs - Génération de vecteurs de test

Test Déterministe de circuits séquentiels



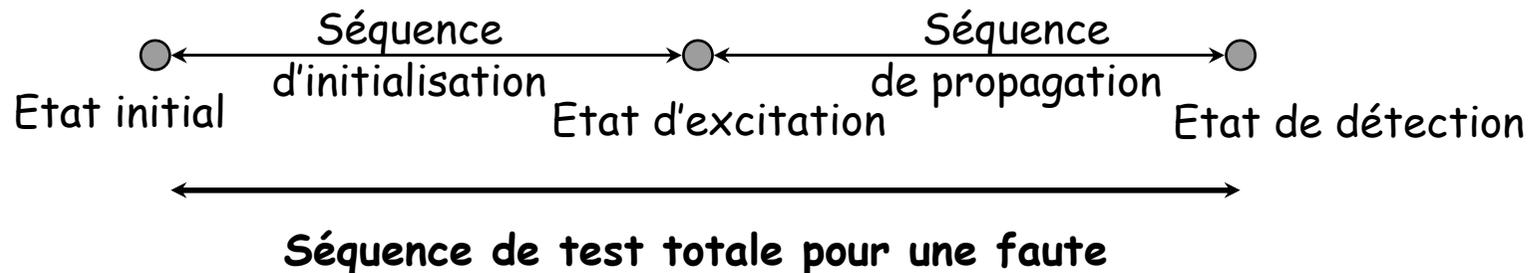
Représentation par tranche de temps : le circuit est vu comme une succession de circuits (combinatoires) dans le temps. Les éléments de mémorisation du circuit original sont modélisés comme des **pseudo-éléments combinatoires** de mémorisation qui font le lien entre les différentes copies temporelles de la partie combinatoire



5. TEST DES CIs - Génération de vecteurs de test

Test Déterministe de circuits séquentiels

- ▶ Le test d'une faute nécessite en général plusieurs vecteurs : le nombre de vecteurs est égal au nombre de tranche de temps nécessaires



- ▶ Le test de circuits séquentiels pose de nombreux problèmes (cycles, profondeur séquentielle, chemins reconvergenents, sortance des bascules).

5. TEST DES CIs - Génération de vecteurs de test

Test Exhaustif

- ▶ Séquence = toutes les combinaisons possibles en entrée
 - Coût du développement nul (pas de connaissance requise de la structure, pas de calcul pour la génération)
- ▶ Qualité du test
 - Détecte toutes les fautes détectables dans le modèle
- ▶ Coût d'application (très) élevé car séquences (très) longues :
 - Pas de mémorisation des vecteurs de test
 - Inapplicable quand nombre d'entrées important
- ▶ Pseudo-exhaustif (réduction de la longueur de la séquence)
 - Prise en compte des dépendances partielles du circuit
 - Partitionnement du circuit

5. TEST DES CIs - Génération de vecteurs de test

Test Aléatoire

- ▶ Vecteurs de test générés de façon aléatoire
 - Coût du développement (peu) élevé : calcul de la longueur de séquence nécessaire pour atteindre une probabilité de détection désirée
- ▶ Qualité du test
 - Dépend de la longueur de la séquence
 - Séquence longue pour un Tc raisonnable ($\cong 95\%$)
 - Séquence très longue pour un Tc élevé ($>98\%$)
- ▶ Coût d'application du test
 - élevé car séquences longues et problèmes de stockage des vecteurs de test
- ▶ Plutôt utilisé en Test Intégré

5. TEST DES CIs - Génération de vecteurs de test

Génération de vecteurs de test au niveau fonctionnel

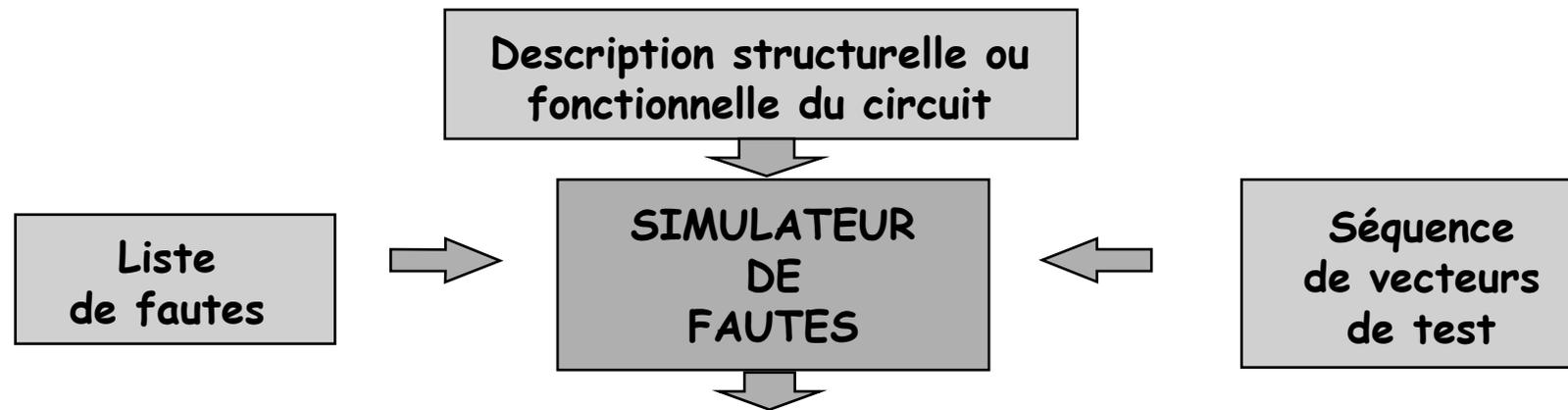
Vérifier la fonctionnalité pour laquelle le circuit a été conçu

- Parfois la seule solution envisageable si l'on ne connaît pas la structure interne du circuit
- Très difficile de garantir un taux de couverture
- Ne permet pas de détecter certaines défaillances, en particulier lorsque les fonctionnalités ne sont pas vérifiées avec tout l'espace des données manipulées
- Mais il existe des méthodes de test fonctionnel mieux adaptées que le test déterministe lorsque les structures sont très régulières (Mémoires, PLA)

5. TEST DES CIs - Simulation de fautes

Simulation de fautes

BUT : déterminer le comportement du circuit en présence de chacune des fautes d'un ensemble de fautes prédéfini.



- BUT**
- Déterminer le Taux de couverture d'une séquence de test
 - Etablir la liste des fautes non détectées
 - Dresser le dictionnaire de fautes (but : diagnostic), c-a-d la liste des fautes détectées, les vecteurs détectant chacune de ces fautes et les réponses du circuit

5. TEST DES CIs - Simulation de fautes

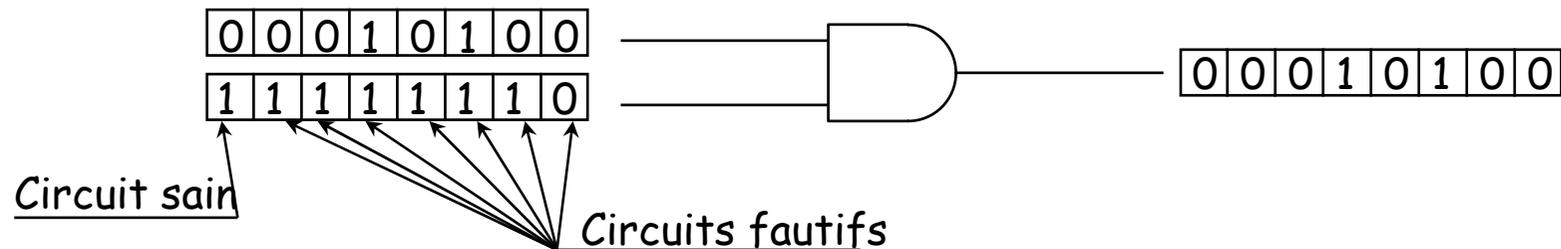
Les différentes techniques de Simulation de fautes

- ▶ **Simulation de fautes série**
 - Simulation logique du circuit sain + n simulations (indépendantes) des n circuits fautifs (n = nombre de fautes)
 - Avantages :
 - simple, ne nécessite pas de développement d'un simulateur de fautes spécialisé, peut être implanté à partir d'un simulateur logique classique
 - permet de simuler n'importe quel type de faute pouvant être prise en compte par le simulateur logique
 - Consomme très peu d'espace mémoire
 - Problème :
 - très lent (n+1 simulations consécutives pour une liste de n fautes)
- ▶ **Simulation de fautes parallèle**
- ▶ **Simulation de fautes déductive**
- ▶ **Simulation de fautes concurrente**

5. TEST DES CIs - Simulation de fautes

La Simulation de fautes parallèle

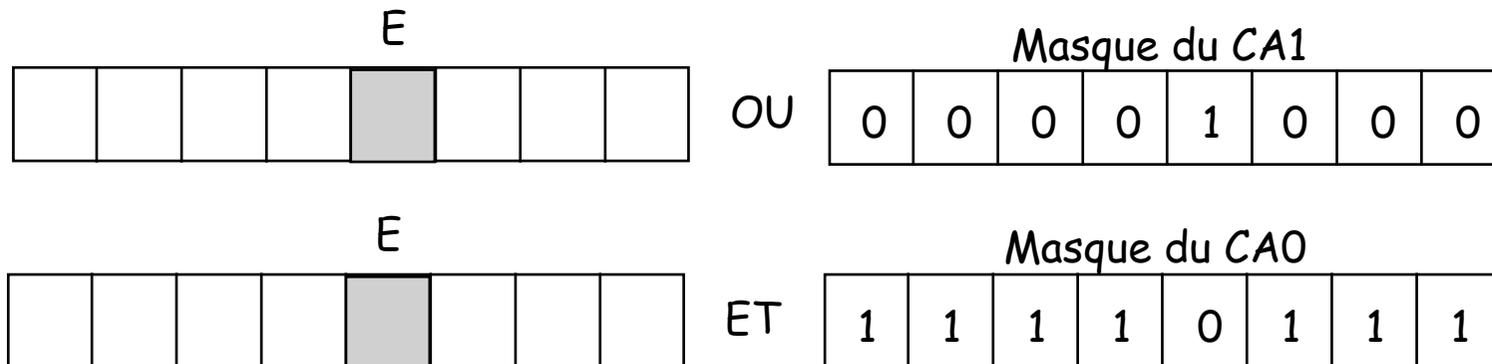
- ▶ **Tire partie du traitement parallèle (par mot) de l'information binaire dans les ordinateurs**
 - Si ordinateur hôte tel que les mots machine sont de n bits, on simule en parallèle le fonctionnement du circuit sain et n-1 circuits fautifs
 - Le nombre de fautes manipulées lors d'une simulation est fonction de la longueur du mot machine
- ▶ **A chaque noeud on associe un mot de n bits**
 - le premier bit représente l'état du noeud dans le circuit sain, chaque autre bit représente l'état d'un circuit fautif
- ▶ **L'évaluation des différents éléments du circuit s'effectue en utilisant les opérateurs logiques câblés dans l'ordinateur hôte**



5. TEST DES CIs - Simulation de fautes

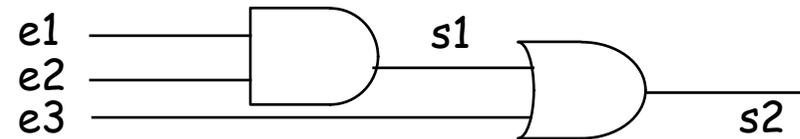
La Simulation de fautes parallèle

- ▶ Les fautes sont prises en compte (ou injectées) par l'intermédiaire de masques logiques
 - Un CA1 d'une équipotentielle (E) est injecté en effectuant le OU du mot de E et du masque du CA1
 - Un CAO d'une équipotentielle (E) est injecté en effectuant le ET du mot de E et du masque du CAO
- ▶ Les masques d'injection de fautes sont pris en compte lors de l'évaluation de la sortie d'un élément



5. TEST DES CIs - Simulation de fautes

La Simulation de fautes parallèle - exemple



sain	S1 ca0	S1 ca1	S2 ca0	S2 ca1
------	--------	--------	--------	--------

➤ **Mot machine de 5 bit**

➤ **Injection de fautes**

- s1 CA0 masq0(s1) = 10111 s2 CA0 masq0(s2) = 11101
- s1 CA1 masq1(s1) = 00100 s2 CA1 masq1(s2) = 00001

➤ **Vecteur de test V et mots d'entrée**

- $V(e1, e2, e3) = 110$, $m(e1) = 11111$, $m(e2) = 11111$, $m(e3) = 00000$

➤ **Evaluations**

- $m(s1) = m(e1).m(e2).masq0(s1) + pmasq1(s1) = 10111$
- $m(s2) = (m(s1)+m(e3)).masq0(s2) + masq1(s2) = 10101$

➤ **Conclusions**

- valeur circuit sain s2 = 1
- V = 110 met en évidence les CA0 / s1 et s2 mais pas les CA1

5. TEST DES CIs - Simulation de fautes

La Simulation de fautes déductive

- Permet de simuler un nombre de fautes théoriquement infini
- On simule uniquement le circuit sain et on en déduit les comportements des circuits défectueux
- On associe à chaque équipotentielle :
 - la valeur dans le circuit sain
 - Une liste de fautes telles que le comportement du circuit sain est différent du comportement du circuit en présence d'une de ces fautes
- Déduction des listes de fautes en sortie de portes

- si toutes les entrées sont à une valeur non prioritaire,

$$\text{Liste de sortie} = \left(\bigcup_{\text{Toutes les entrées}} L_i \right) \cup \left(\text{Sortie collée à la valeur prioritaire de sortie} \right)$$

- si certaines entrées sont à une valeur prioritaire,

$$\text{Liste de sortie} = \left(\bigcap_{\text{entrées prioritaires}} L_i \right) \cap \left(\bigcup_{\text{entrées non prioritaires}} L_j \right) \cup \left(\text{Sortie collée à la valeur non prioritaire de sortie} \right)$$

5. TEST DES CIs - Simulation de fautes

La Simulation de fautes déductive - exemple

Liste de départ : $\{a,b,c,d,e,f,g,h\}$

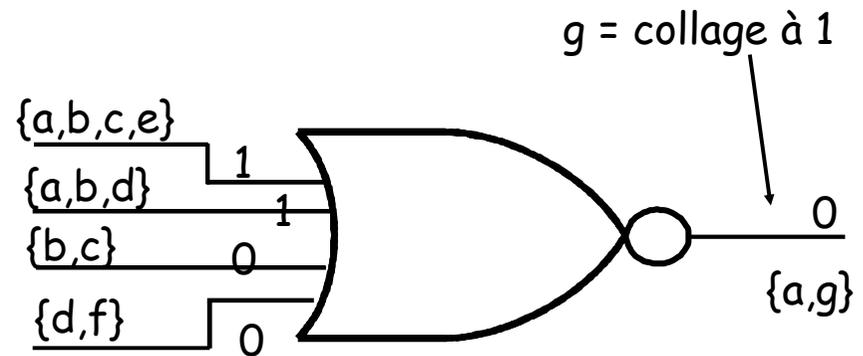
$\{a,b,c,e\} \cap \{a,b,d\} = \{a,b\}$

$\{b,c\} \cup \{d,f\} = \{b,c,d,f\}$

complément de $\{b,c,d,f\} = \{a,e,g,h\}$

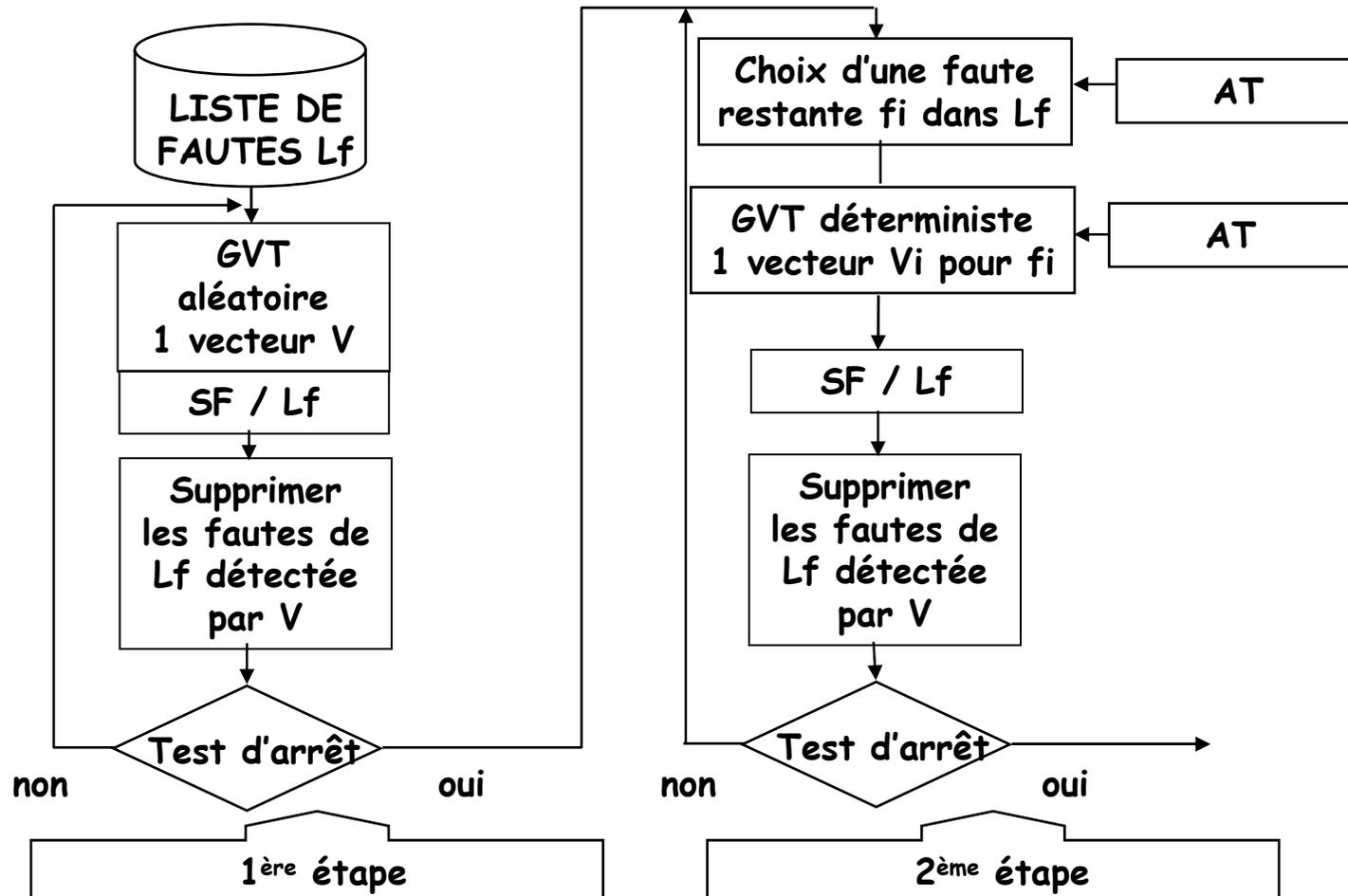
$\{a,b\} \cap \{a,e,g,h\} = \{a\}$

$\{a\} \cup \{g\} = \{a,g\}$



5. TEST DES CIs - Simulation de fautes

Conclusion - utilisation de l'AT, la GVT et la SF



5. TEST DES CIs - Conception en vue du test

Conception en vue du test (Design For Testability)

BUT : modifier le processus de conception pour s'assurer qu'un circuit (ou système) est testable. La DFT permet de résoudre les problèmes qui apparaissent lors de la phase de génération de test (ATPG) et lors de l'application des données de test au circuit à tester (temps de test, coût des testeurs)

- ✦ **réduire le temps d'introduction sur le marché**
 - en rendant plus facile la phase de production de vecteurs de test
- ✦ **réduire le coût du test**
 - en générant des ensembles de test plus réduits
- ✦ **améliorer la qualité du test**
 - en augmentant le taux de couverture

5. TEST DES CIs - Conception en vue du test

Conception en vue du test - un passage obligé

	1995	2001	2010
Technologie (micron)	0,35	0,18	0,07
Nombre de transistors (millions)	1	10	100
Fréquence d'horloge (MHz)	300	600	1100
Nombre d'E/S	900	2000	4800
Taille de la puce (mm ²)	450	750	1400
Pourcentage de circuits avec DFT/BIST (%)	25	50	90
Vitesse du test (Mbits/s)	125	225	550
Longueur de test (millions)	4	8	20

Carte de route SIA (aspect technologie et test)

5. TEST DES CIs - Conception en vue du test

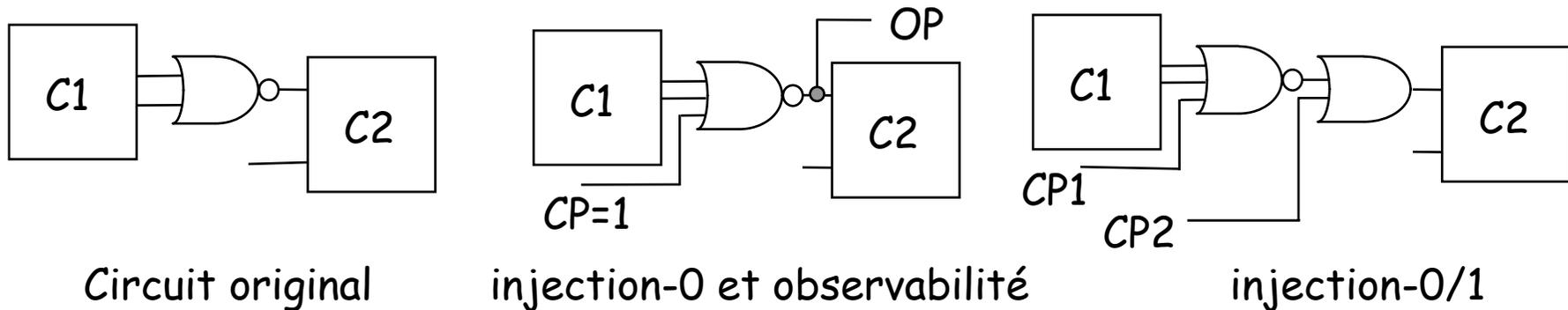
Conception en vue du test - les techniques

- ▶ **Techniques «Ad-hoc» (issues de l'expérience)**
 - partitionnement logique
 - insertion de points de test (utilisé dans le Pentium d'INTEL)
- ▶ **Approches structurées**
 - scan-path (utilisé dans le AMD-K7 de AMD - 90% des bascules flip-flops sont « scannées »)
 - LSSD (utilisé dans le MPC7450 de Motorola)
 - scan multiple
 - partial scan

5. TEST DES CIs - Conception en vue du test

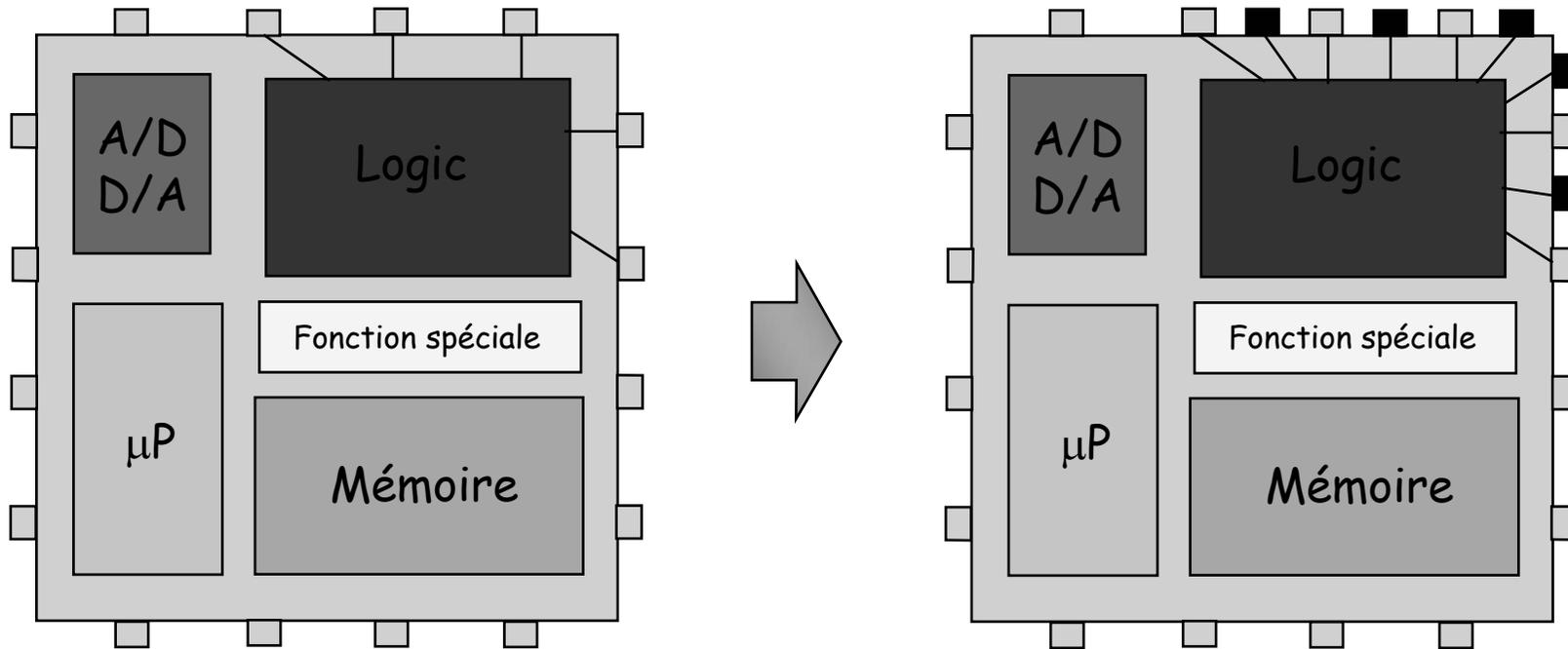
Insertion de points de test

- ▶ amélioration de la contrôlabilité et de l'observabilité
 - réduction du nombre de vecteurs
 - amélioration du diagnostic
- ▶ augmentation du nombre d'E/S
- ▶ plots supplémentaires



5. TEST DES CIs - Conception en vue du test

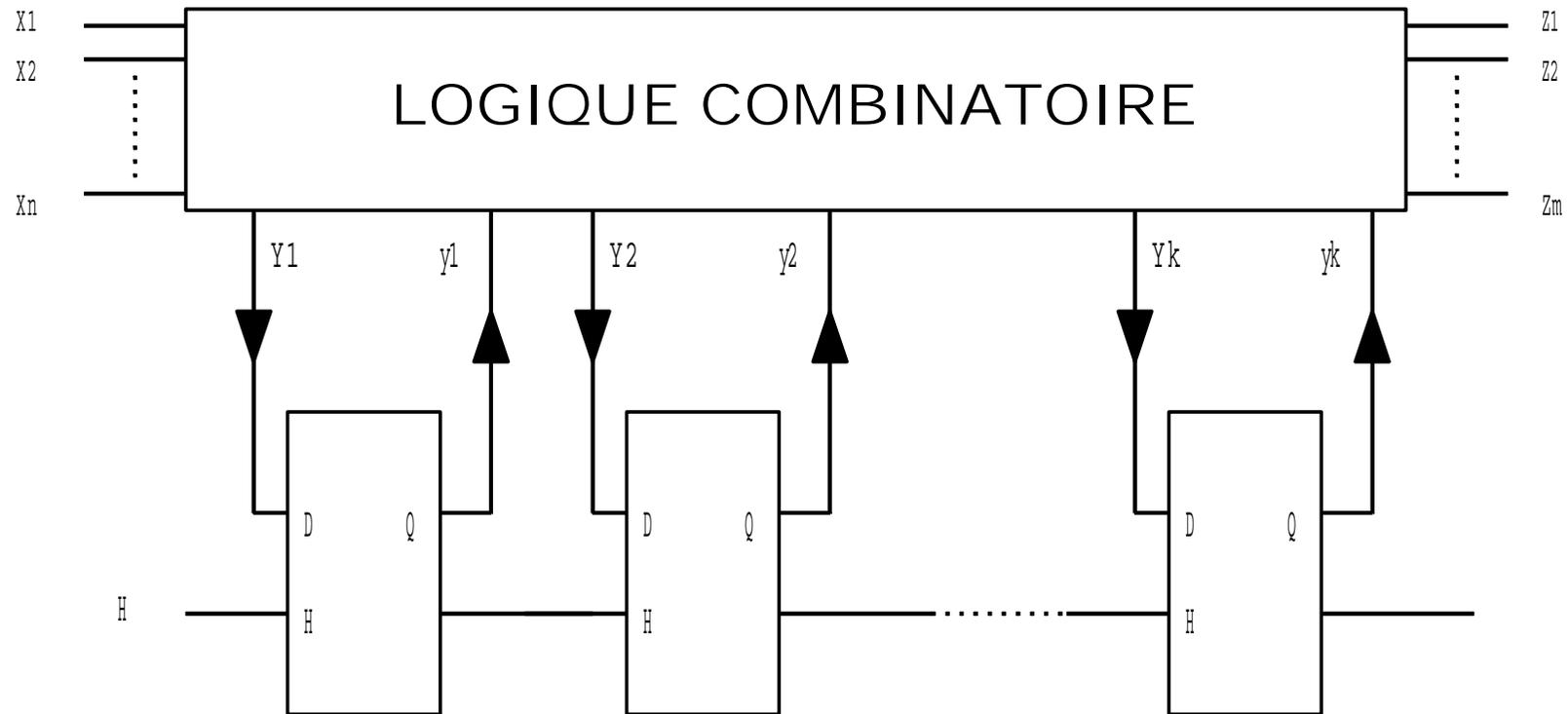
Insertion de points de test



5. TEST DES CIs - Conception en vue du test

La technique "Scan Path"

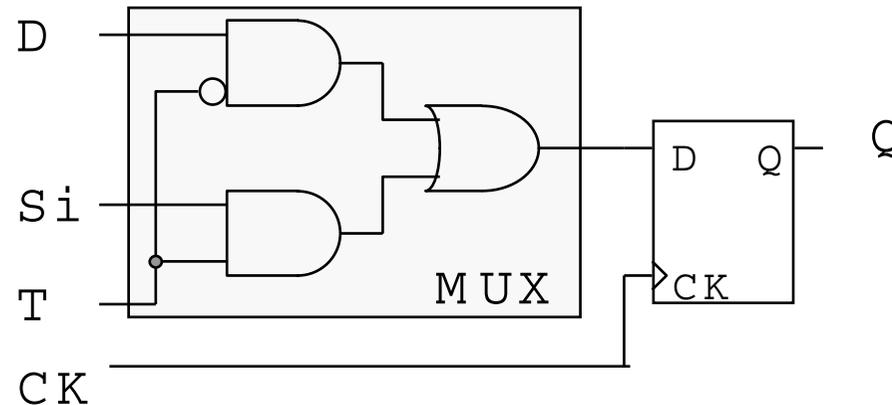
Structure générale d'un circuit séquentiel sous forme de machine d'états



5. TEST DES CIs - Conception en vue du test

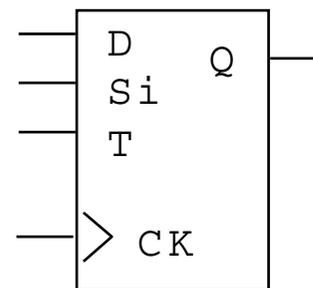
La technique "Scan Path"

On modifie les bascules D (multiplexage)



Réalisation

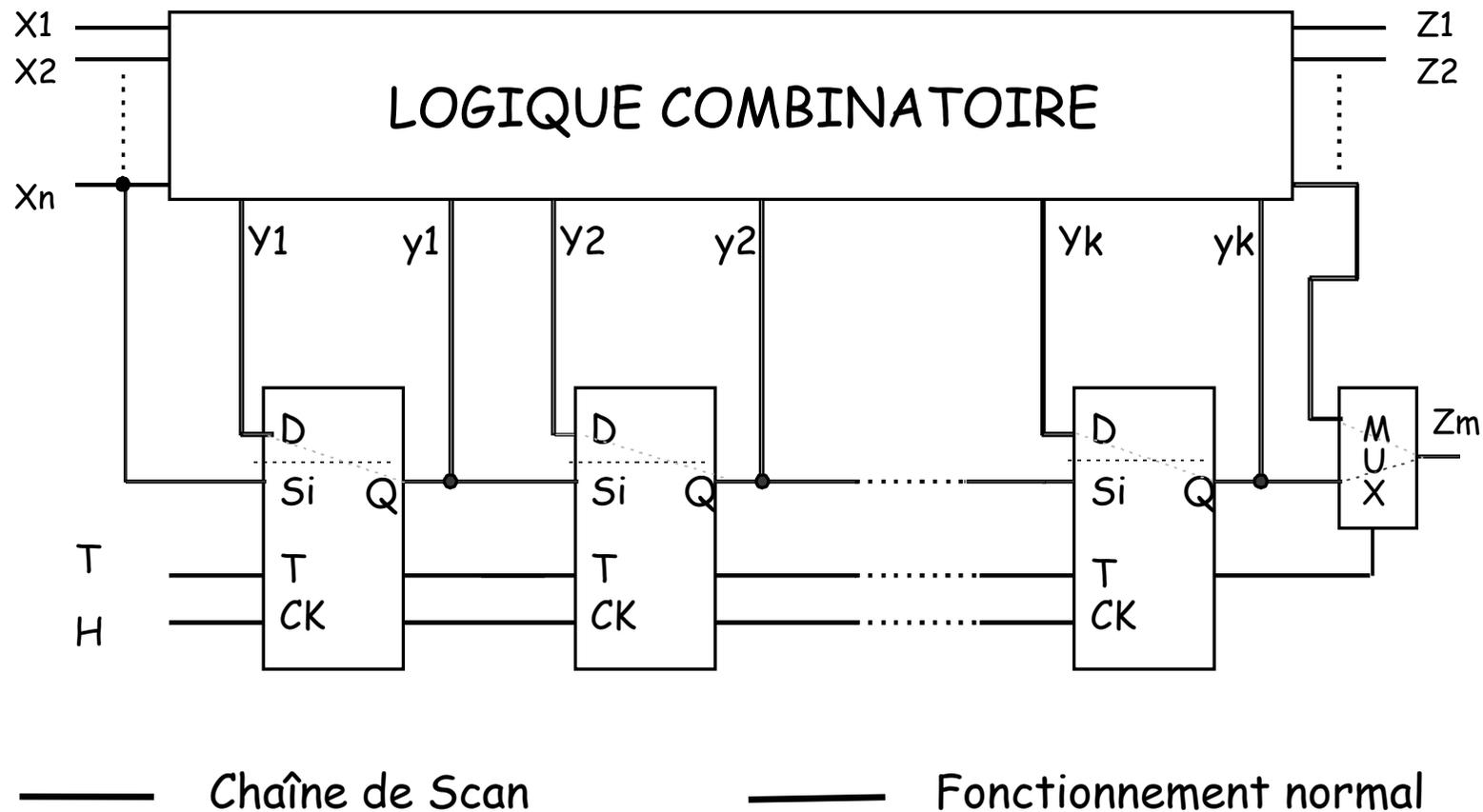
- D entrée normale
- Si entrée scan
- T=1 permet le décalage série des données de test



Symbole

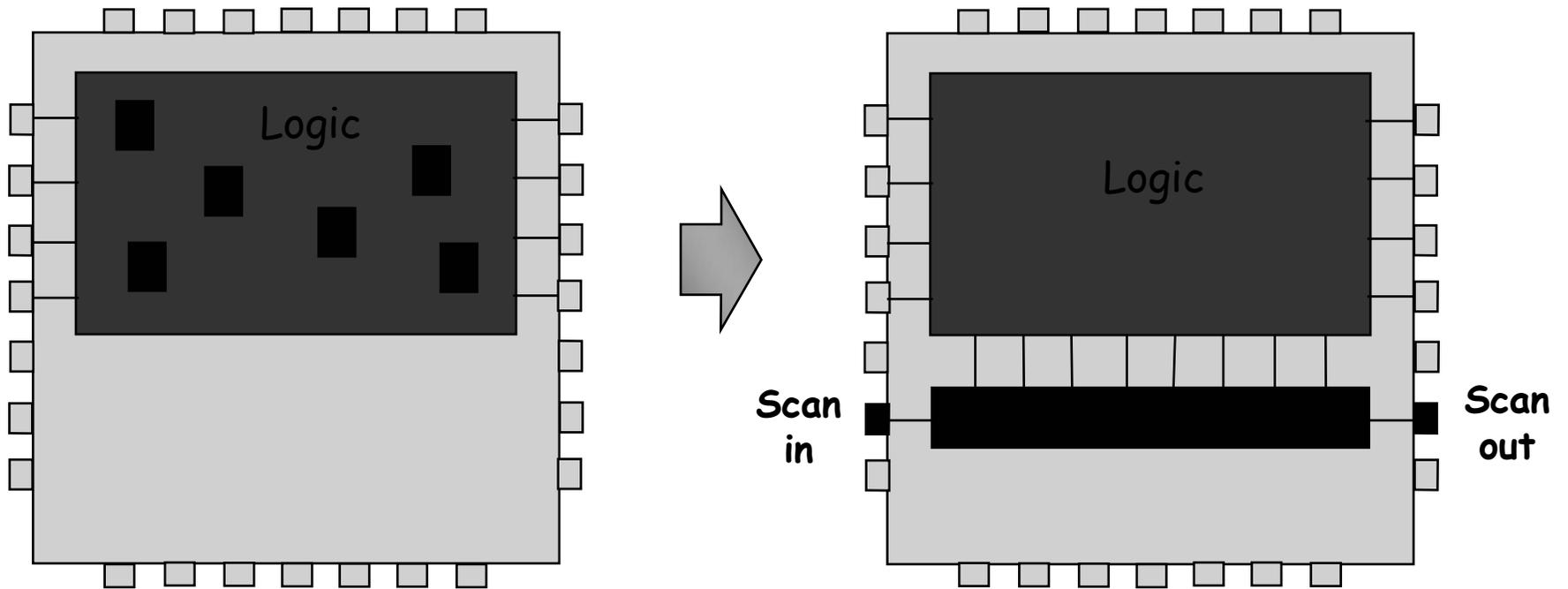
5. TEST DES CIs - Conception en vue du test

La technique "Scan Path" - Nouvelle structure



5. TEST DES CIs - Conception en vue du test

La technique "Scan Path"



5. TEST DES CIs - Conception en vue du test

La technique "Scan Path" - procédure de test

- 1) positionner le circuit en mode test ($T=1$),
- 2) entrer par décalage le vecteur de test $\{y_1, \dots, y_k\}$ à l'intérieur des bascules,
- 3) positionner les valeurs de test correspondantes sur les entrées primaires X_i ,
- 4) positionner l'entrée T à la valeur logique zéro et après un temps nécessaire à la stabilisation des sorties de la partie combinatoire vérifier les différentes sorties Z_k ,
- 5) appliquer une impulsion d'horloge sur l'entrée H ,
- 6) positionner l'entrée T à la valeur logique 1 et sortir en série le contenu du registre à décalage (des bascules) par l'intermédiaire de la sortie Z_m et le comparer avec les résultats attendus.

Rq1 : simultanément à la sortie du vecteur d'observation (contenu des bascules), on peut entrer le nouveau vecteur de test par l'intermédiaire de l'entrée X_n .

Rq2 : la technique de scan transforme le circuit séquentiel en circuit combinatoire durant le mode test

5. TEST DES CIs - Conception en vue du test

La technique "Scan Path" - inconvénients

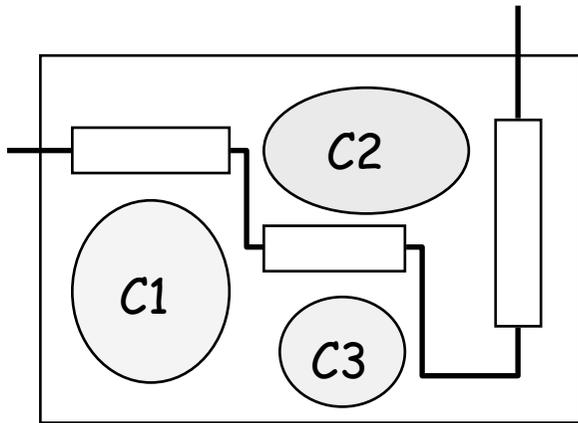
- ▶ surface supplémentaire (bascules «Scan», routage, broches)
- ▶ dégradation de la vitesse de fonctionnement nominale (multiplexeurs)
- ▶ Durée du temps de test : $(\text{nb-test}) \times (\text{nb-FF})$



- ▶ **Solutions :**
 - Scan multiple
 - Scan partiel

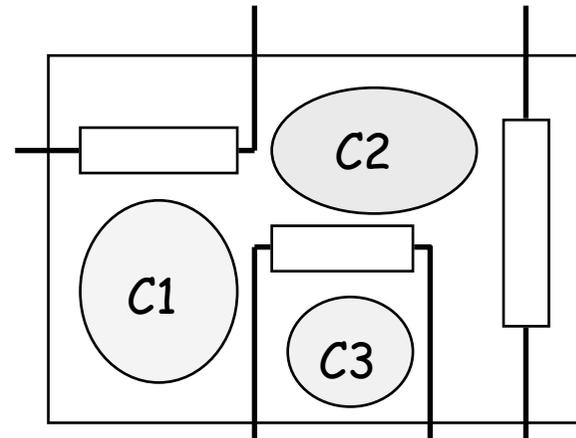
5. TEST DES CIs - Conception en vue du test

Le Scan Multiple



Une seule chaîne

- Nombre réduit d'E/S

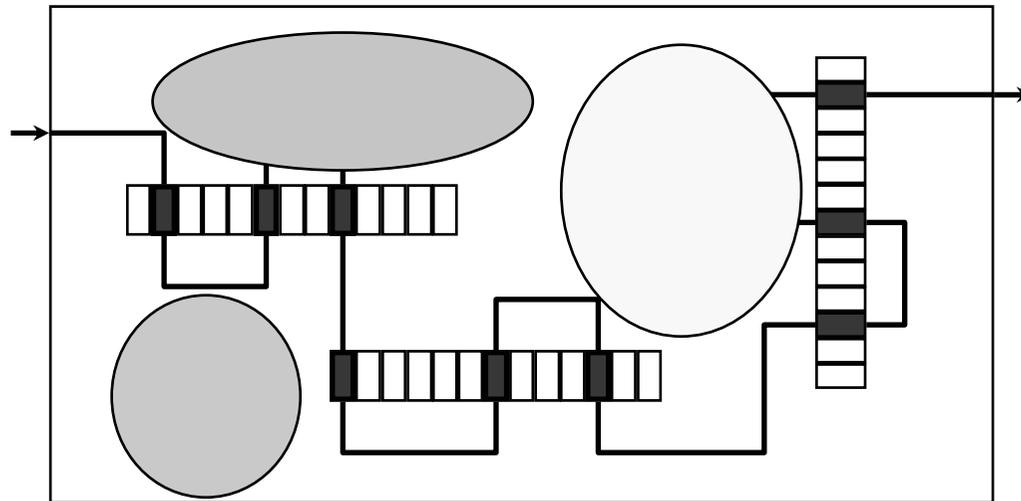


Plusieurs chaînes

- Réduction du temps de test
- Amélioration du diagnostic

5. TEST DES CIs - Conception en vue du test

Le Scan Partiel



- ▶ tous les éléments mémoires ne sont pas inclus dans la chaîne
- ▶ nécessité d'un ATPG pour circuit séquentiel
- ▶ problème du «bon choix» des bascules à inclure dans la chaîne de scan
- ▶ réduction de la surface perdue
- ▶ amélioration des performances temporelles

5. TEST DES CIs - Test intégré

Test Intégré (Built-In Self-Test)

BUT : inclure directement dans le circuit tout ou partie des fonctions réalisées par un testeur externe.

POURQUOI :

- prix élevé et toujours croissant des testeurs,
- génération des séquences de test longue et difficile
- temps d'application des séquences élevé
- inefficacité grandissante des testeurs

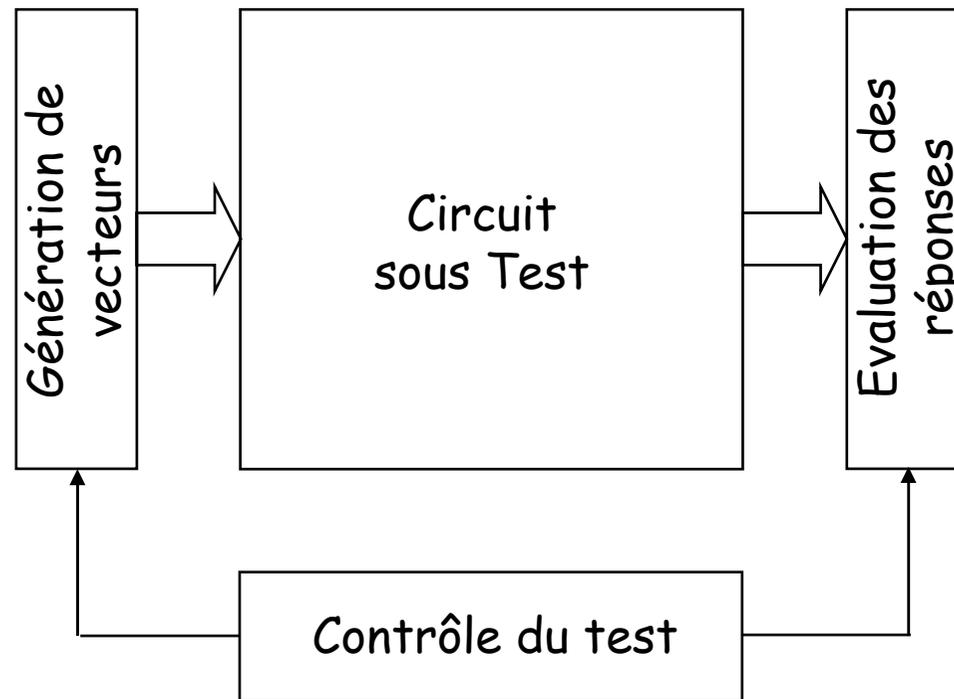
Dans le **PENTIUM d'INTEL** : BIST de la mémoire cache et de la ROM contenant les microcodes

Dans le **MPC7450 de MOTOROLA** : BIST de toutes les mémoires

Dans le **AMD-K7 de AMD** : BIST des mémoires SRAM (99.16%)

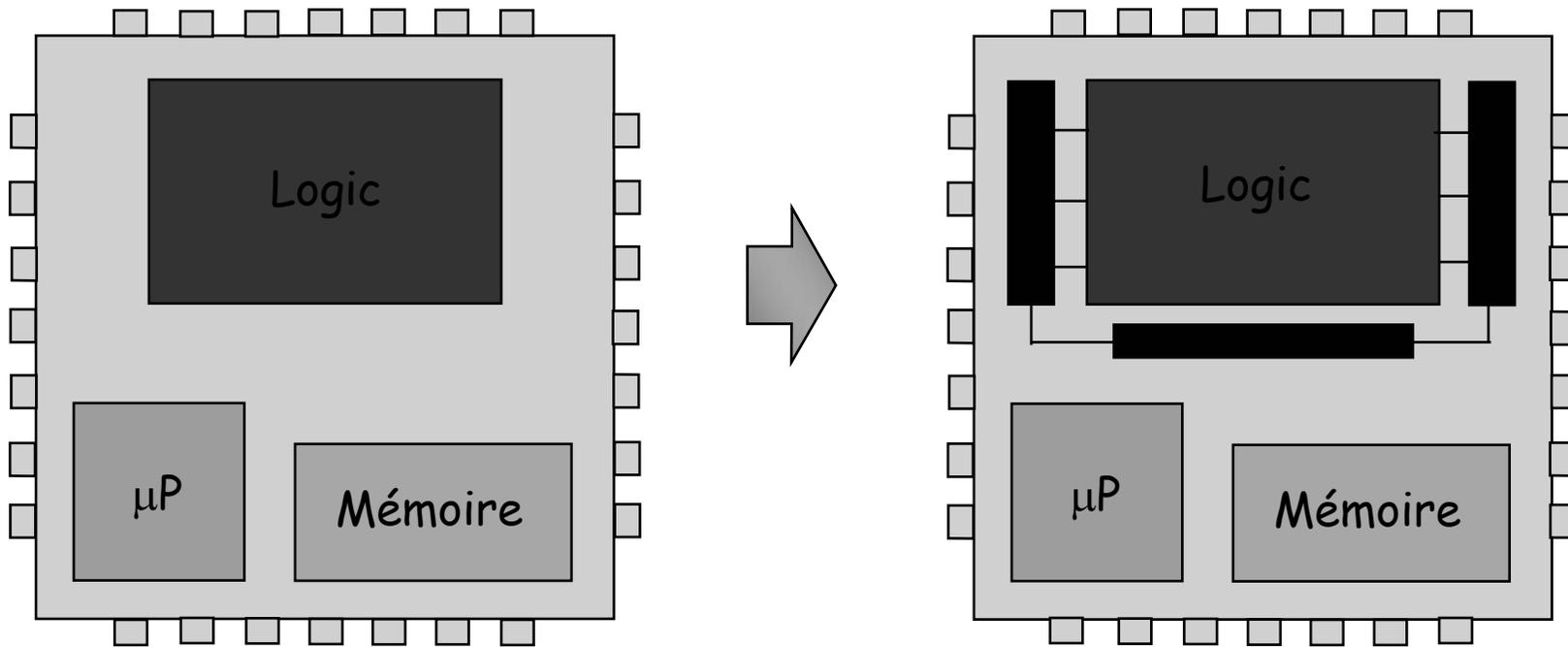
5. TEST DES CIs - Test intégré

Test Intégré - principe



5. TEST DES CIs - Test intégré

Test Intégré - principe



5. TEST DES CIs - Test intégré

Test Intégré - avantages

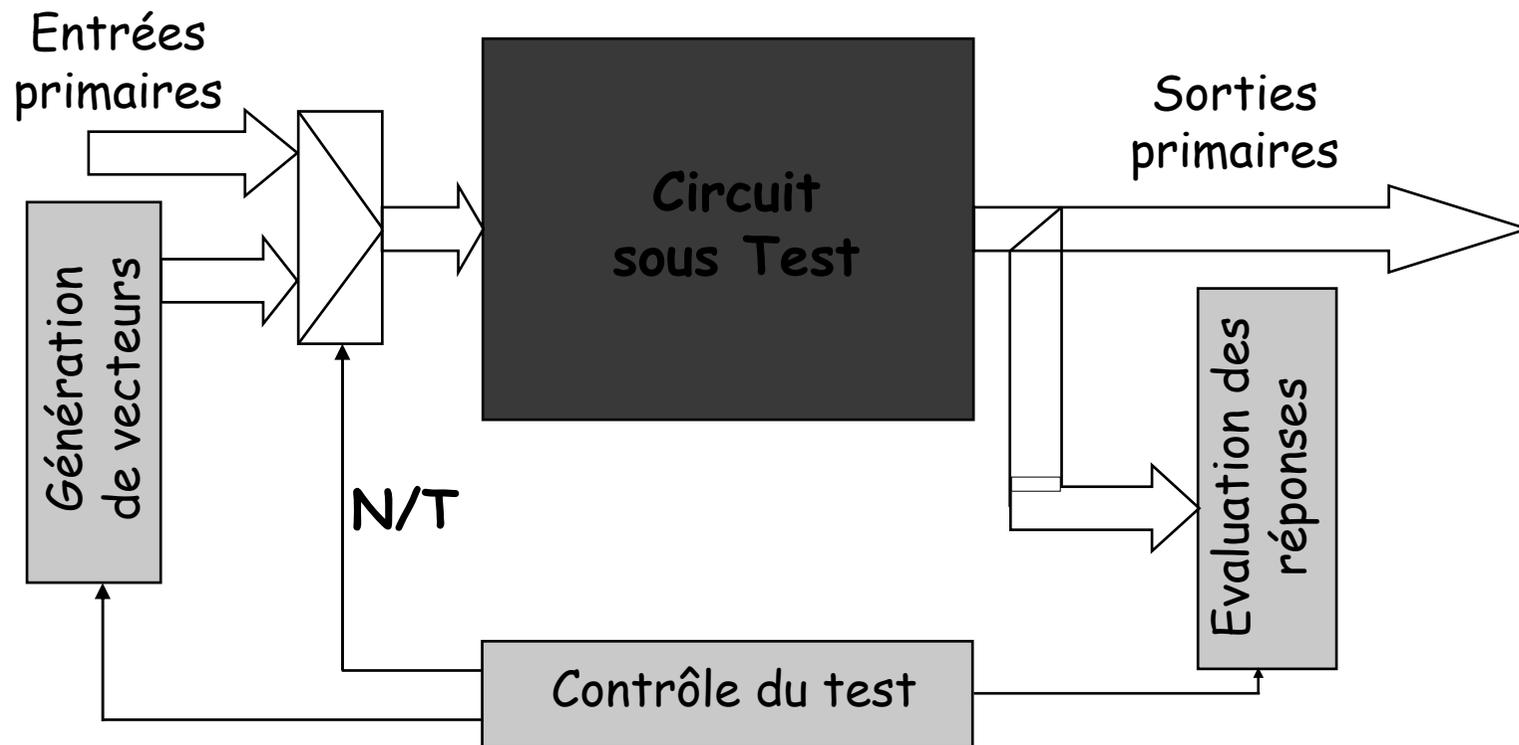
- Suppression de la nécessité de testeur coûteux
- possibilité de test à vitesse nominale
- taux de couverture bon et « modulable »
- temps de test court (vitesse + hiérarchisation)
- possibilité de test en fonctionnement (temps de dormance)

Test Intégré - contraintes

- Surface occupée par le générateur et l'analyseur de signatures
- Longueur de la séquence de test (temps de test)
- Taux de couverture de fautes

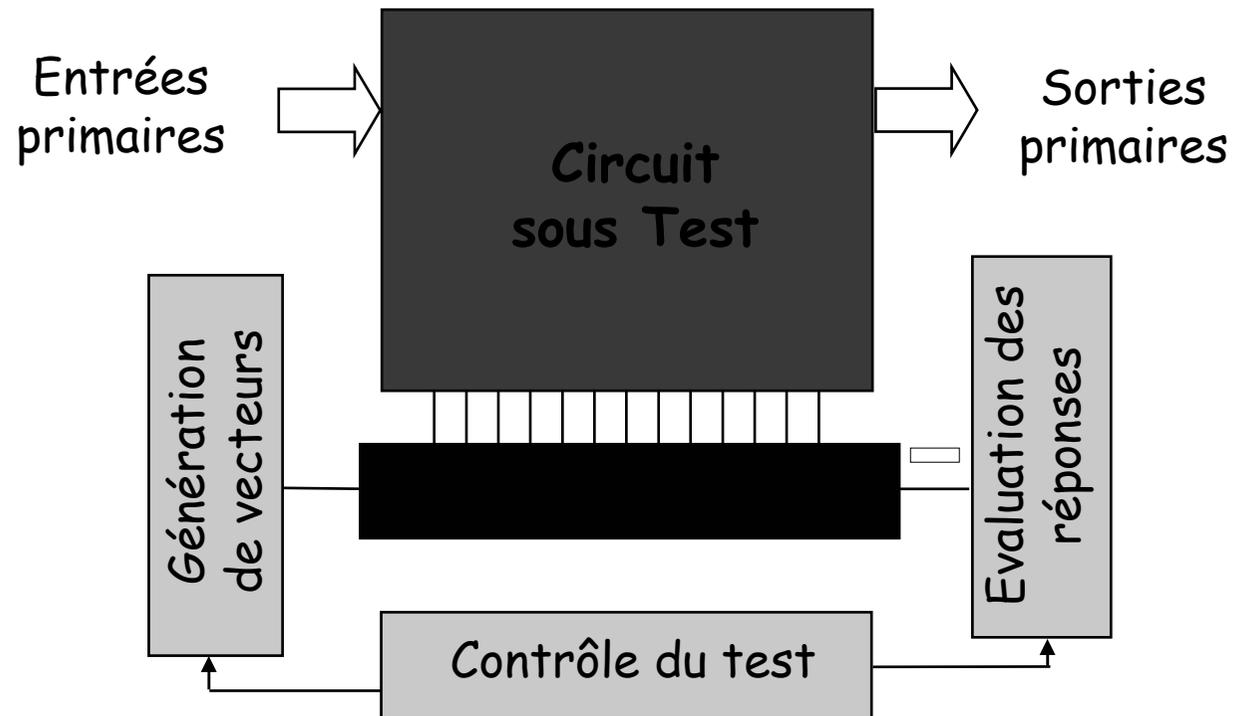
5. TEST DES CIs - Test intégré

Mise en oeuvre - Test parallèle



5. TEST DES CIs - Test intégré

Mise en oeuvre - Test série



5. TEST DES CIs - Test intégré

Génération intégré de vecteurs de test

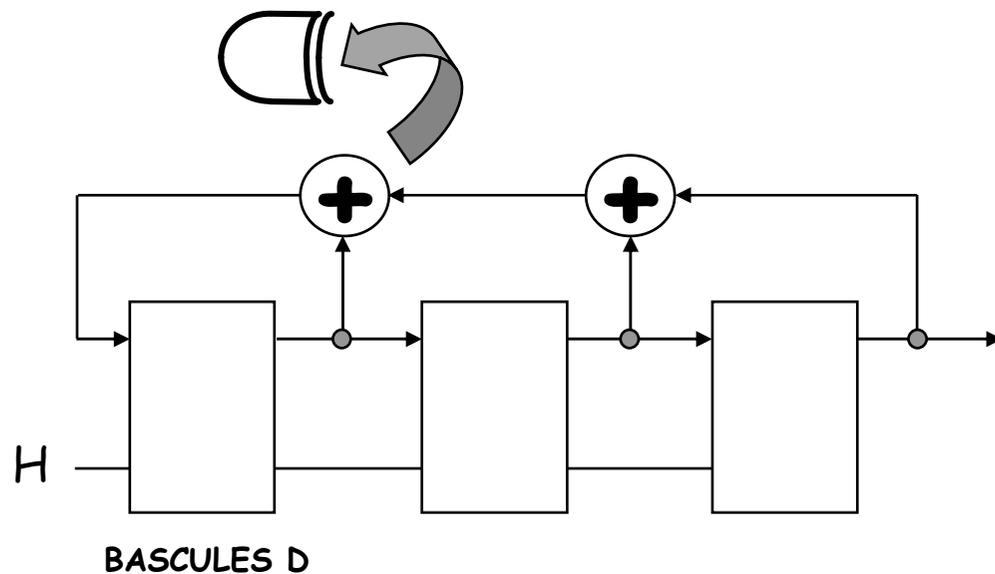
- ▶ **Test déterministe**
 - utilisation d'ATPG
 - longueur de test minimale
 - surface prohibitive
- ▶ **Test exhaustif (pseudo-exhaustif)**
 - pas besoin d'ATPG
 - test très long
 - surface minimale
- ▶ **Test aléatoire (pseudo-aléatoire)**
 - pas besoin d'ATPG
 - test long (T_c fonction de la longueur de la séquence)
 - surface minimale

5. TEST DES CIs - Test intégré

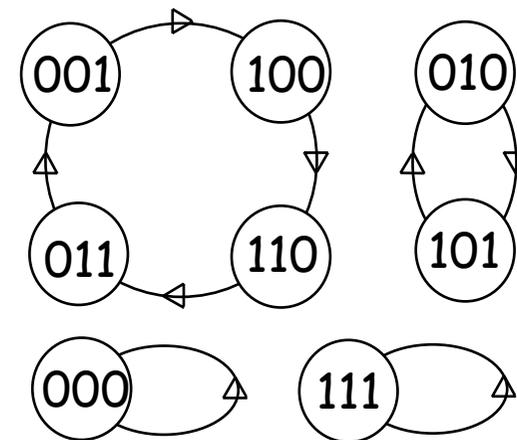
Test intégré aléatoire - le LFSR

(Registre à décalage à rebouclage linéaire)

- ⑤ Composé de registres autonomes (pas d'entrée sauf l'horloge)
- ⑤ Un circuit est dit linéaire s'il est constitué de bascules et d'opérateurs module 2.
- ⑤ Chaque état est obtenu à partir d'une combinaison linéaire des valeurs présentes dans les bascules à l'instant précédent.



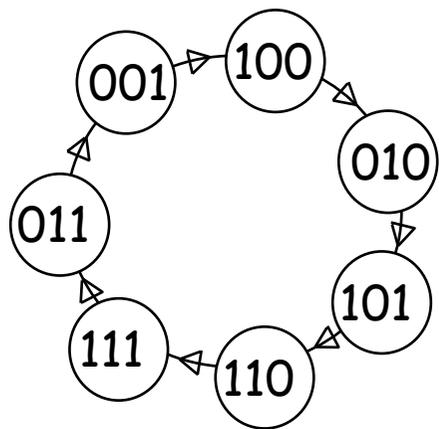
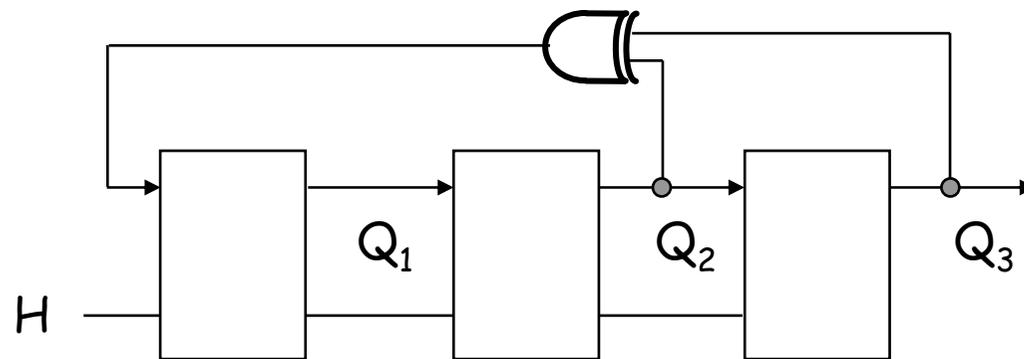
La séquence d'états parcourue dépend de l'état initial



États absorbants

5. TEST DES CIs - Test intégré

Exemple - LFSR de longueur maximum (n=3)



Séquence de
longueur
maximum
($2^n - 1$)

Q_1	Q_2	Q_3
0	0	1
1	0	0
0	1	0
1	0	1
1	1	0
1	1	1
0	1	1

$$P(x) = 1 + x^2 + x^3$$

Polynôme caractéristique
= « cablage » du LFSR
= primitif car longueur max

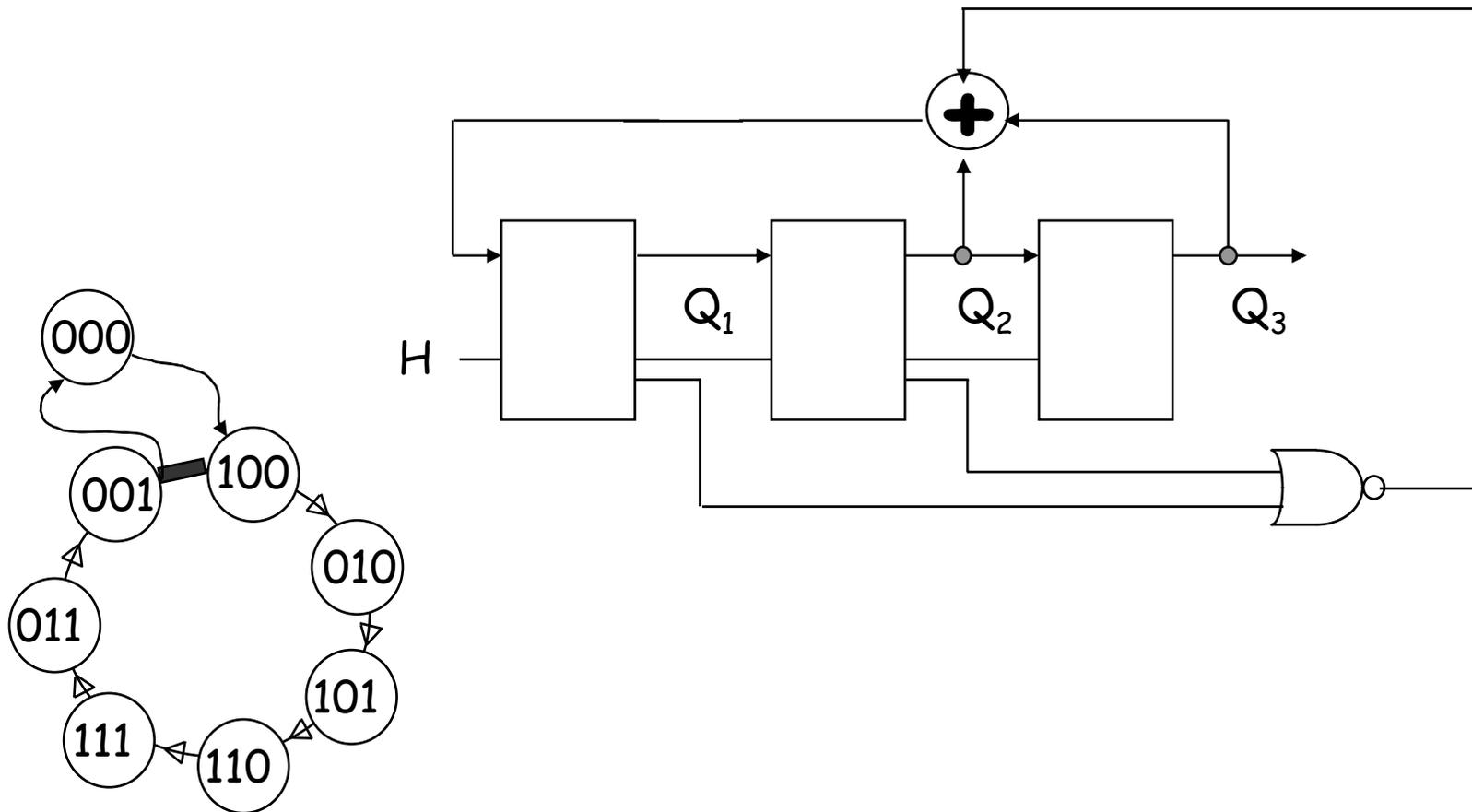
5. TEST DES CIs - Test intégré

Test intégré déterministe

- ▶ Détermination d'une séquence de test par ATPG
- ▶ Génération de cette séquence par une structure matérielle :
 - ROM : simple mais coûteux
 - MEF : toujours simple et toujours coûteux
 - recherches en cours

5. TEST DES CIs - Test intégré

Test intégré exhaustif - LFSR modifié



5. TEST DES CIs - Test intégré

Test intégré Mixte

- ▶ Solution mixte utilisant des vecteurs déterministes pour tester les fautes difficiles et des vecteurs aléatoires pour tester les fautes faciles.
 - Techniques de Reseeding (ré-initialisation du LFSR en cours de test)
 - Techniques de Bit-Flipping
 - Techniques de Pattern Mapping

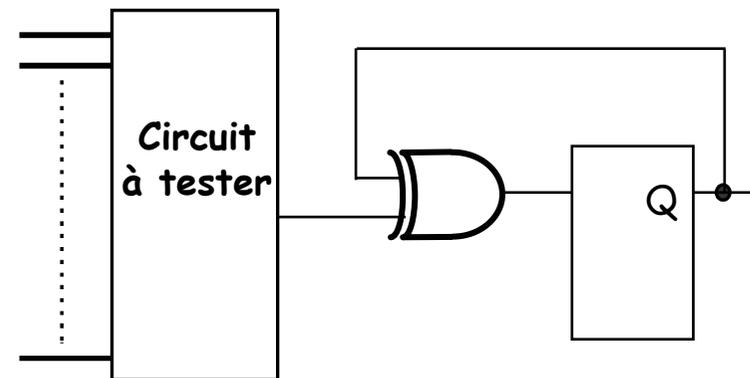
- ▶ Ces solutions relèvent encore du domaine de la recherche

5. TEST DES CIs - Test intégré

Analyse intégrée des réponses

▶ Par vérification de la parité

- Initialisation de la bascule
- Détection des fautes simples sur un bit et d'erreurs en nombre impair sur une chaîne de m bits



- Probabilité de masquage $P_m = \frac{2^m - 1}{2^m - 1}$

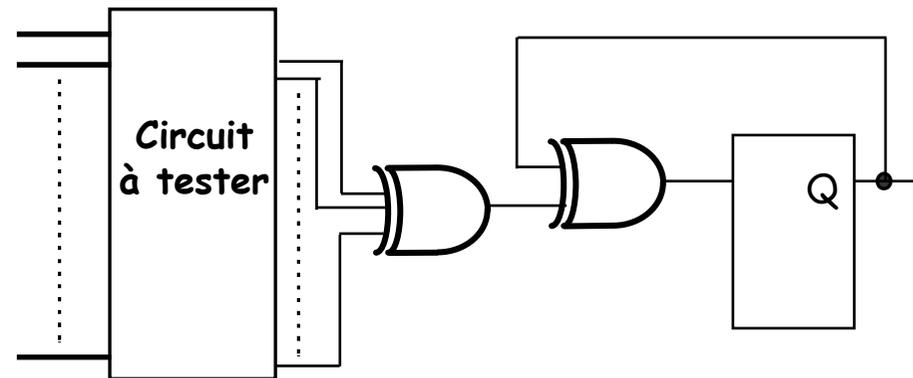
m = longueur de la séquence de test

5. TEST DES CIs - Test intégré

Analyse intégrée des réponses

▶ Par vérification de la parité (plusieurs sorties)

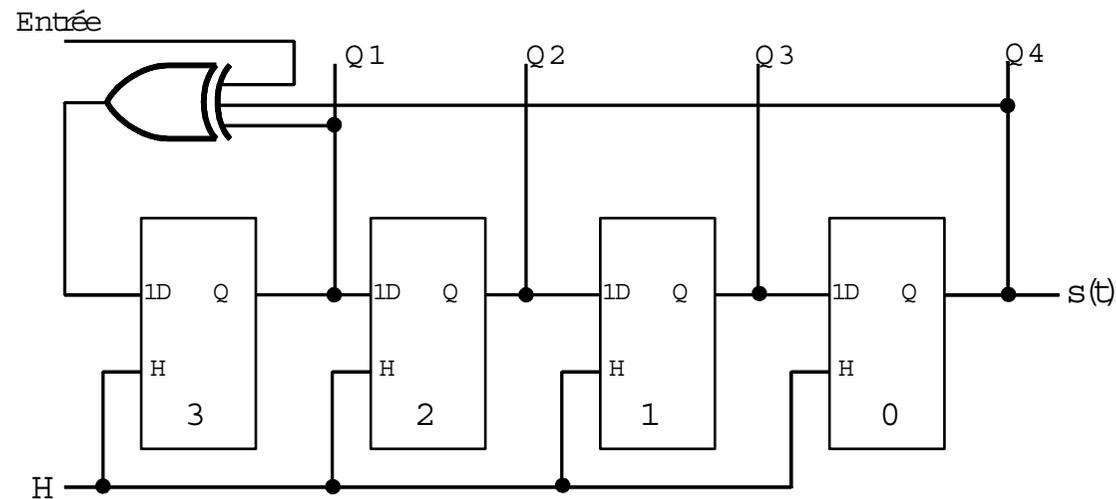
- ▶ Associer un vérificateur de parité à chaque sortie (coût élevé)
- ▶ « groupage » des sorties avant compression (taux de masquage plus élevé)



5. TEST DES CIs - Test intégré

Analyse intégrée des réponses

- ▶ Par compaction - utilisation de LFSR (une seule sortie)

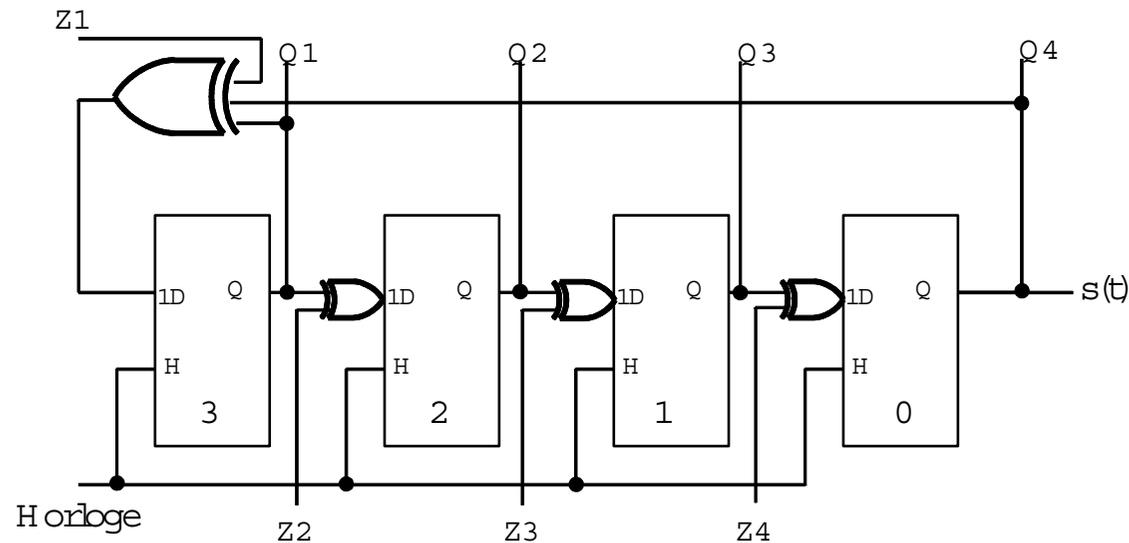


- Taux de masquage faible et surtout « modulable »
- de l'ordre de $P_m = \frac{1}{2^n}$ si n est le nombre de bascules

5. TEST DES CIs - Test intégré

Analyse intégrée des réponses

- ▶ Par compaction - utilisation de MISR (plusieurs sorties)



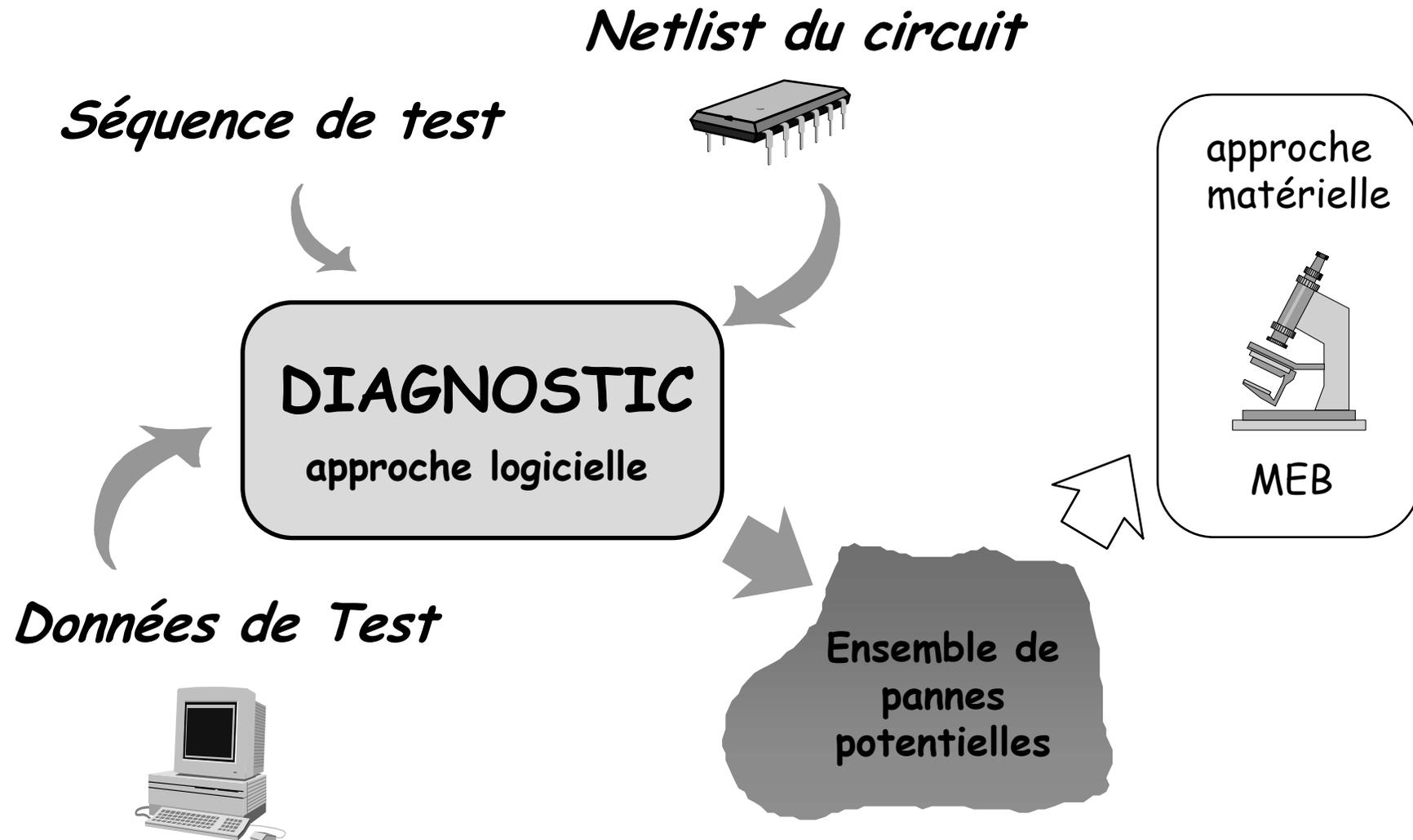
- ▶ Taux de masquage faible et « modulable »
- ▶ Toujours de l'ordre de $P_m = \frac{1}{2^n}$ si n est le nombre de bascules

5. TEST DES CIs - Diagnostic

Diagnostic de pannes

- ▶ Réalisé après le Test (on utilise les données de test)
- ▶ Le but est de localiser la panne dans le circuit défectueux afin de corriger le processus de fabrication ou de conception
- ▶ Réalisé par des procédés différents mais complémentaires :
 - Diagnostic à l'aide d'outils logiciels fournissant une localisation approchée de la panne
 - Diagnostic à l'aide d'un MEB (Microscope Electronique à Balayage) permettant de localiser précisément la panne

5. TEST DES CIs - Diagnostic



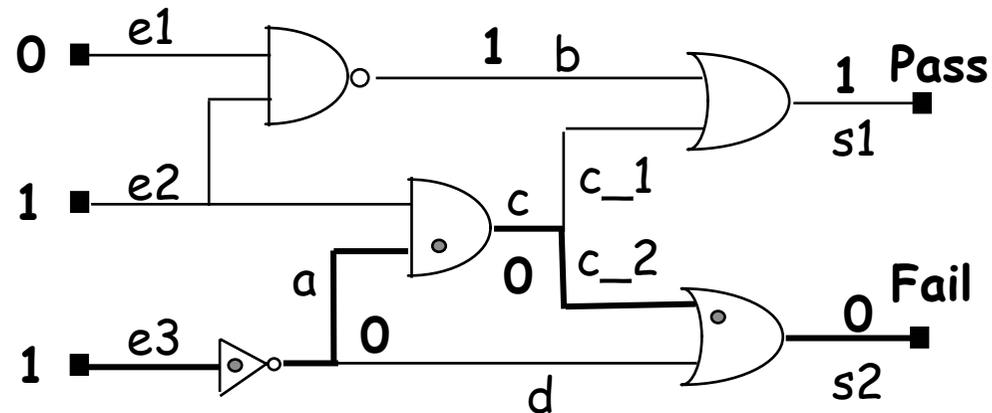
5. TEST DES CIs - Diagnostic

Diagnostic de pannes - les méthodes

- ▶ **Trois grandes catégories de méthodes :**
 - ✓ méthodes basées sur l'utilisation d'un dictionnaire de fautes obtenu par simulation
 - ✓ méthodes basées sur des analyses d'effet à cause
 - ✓ méthodes basées sur le traçage de chemins

5. TEST DES CIs - Diagnostic

Traçage de chemins - exemple



Supposons que le test ait donné : Vecteur $V1 = (011)$ fautif sur $s2$

Sites potentiels = $s2, c_2, c, a, e3$

Supposons que le test donne ensuite : Vecteur $V2 = (111)$ fautif sur $s1$

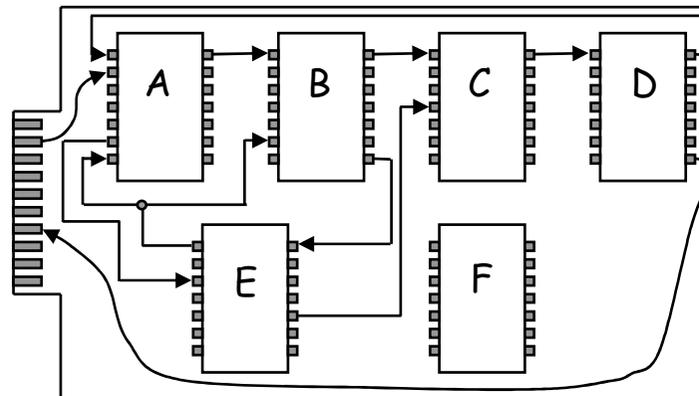
Sites potentiels = $s1, c_1, c, a, e3$

Par intersection, on obtient donc : $c, a, e3$ comme sites fautifs potentiels

5. TEST DES CIs - Test de cartes

Problèmes du Test des Cartes

- ▶ **Test d'un composant à travers les autres composants**
 - difficile
 - spécifique à l'application
 - on ne peut pas appliquer un test standard à un composant standard

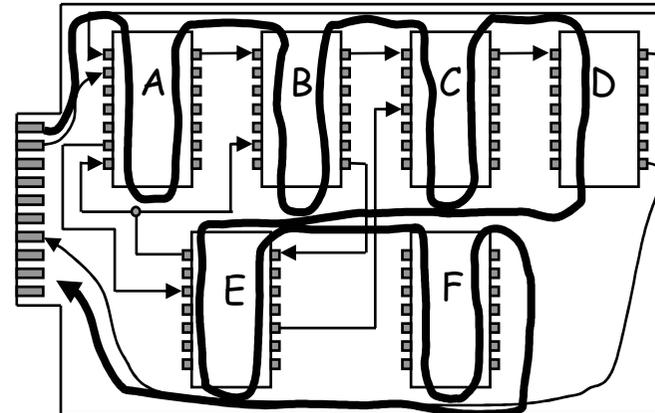


- ▶ **Test des interconnexions entre composants**

5. TEST DES CIs - Test de cartes

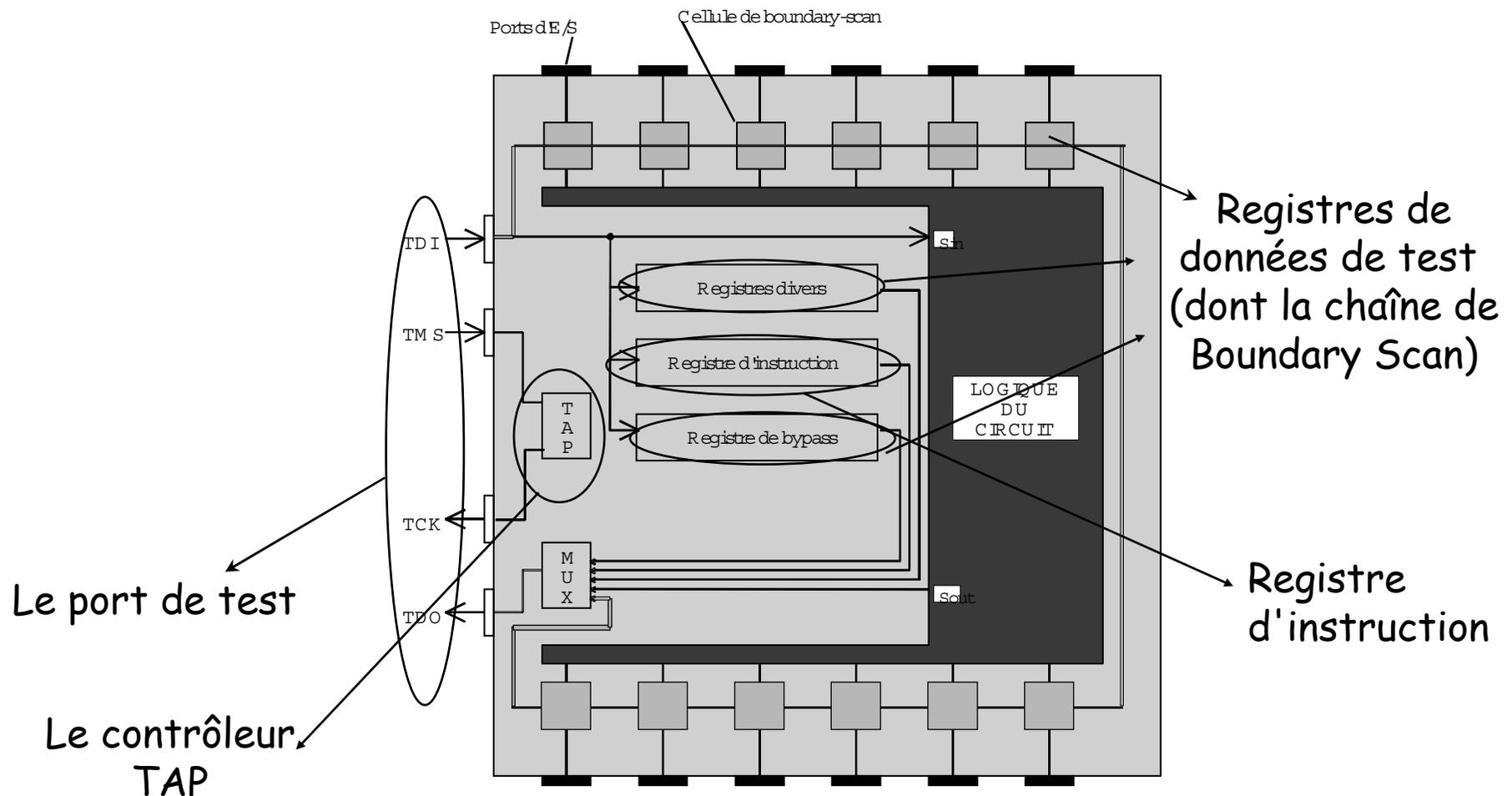
La norme IEEE 1149.1 "Boundary Scan"

- ▶ Permettre le test des interconnexions
- ▶ Permettre le test des composants en standard
- ▶ Chaîner toutes les broches d'E/S de la carte
 - accès facile à chaque interconnexion et à chaque composant
 - normalisation nécessaire



5. TEST DES CIs - Test de cartes

La norme IEEE 1149.1 - modification du circuit



5. TEST DES CIs - Test des coeurs

La norme P1500 - architecture générale

